

06.10.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年11月 5日

REC'D 26 NOV 2004

WIPO

PCT

出 願 番 号
Application Number: 特願2003-375098
[ST. 10/C]: [JP2003-375098]

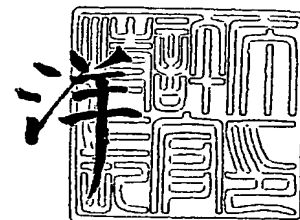
出 願 人
Applicant(s): トヨタ自動車株式会社
株式会社デンソー

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年11月12日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2004-3102387

【書類名】 特許願
【整理番号】 033026TA
【提出日】 平成15年11月 5日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 【氏名】 高谷 秀史
【発明者】
 【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 【氏名】 濱田 公守
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 黒柳 晃
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 戸倉 規仁
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 大倉 康嗣
【特許出願人】
 【識別番号】 000003207
 【氏名又は名称】 トヨタ自動車株式会社
【特許出願人】
 【識別番号】 000004260
 【氏名又は名称】 株式会社デンソー
【代理人】
 【識別番号】 100105751
 【弁理士】
 【氏名又は名称】 岡戸 昭佳
 【連絡先】 0 5 2 - 2 1 8 - 7 1 6 1
【選任した代理人】
 【識別番号】 100097009
 【弁理士】
 【氏名又は名称】 富澤 孝
【選任した代理人】
 【識別番号】 100098431
 【弁理士】
 【氏名又は名称】 山中 郁生
【手数料の表示】
 【予納台帳番号】 044808
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0308839

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第 2 導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置において、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体であるフローティング領域を有し、

前記トレンチ部の底部は、前記フローティング領域内に位置し、

前記トレンチ部内には、

絶縁物を堆積してなる堆積絶縁層と、

前記堆積絶縁層上に位置し、前記ボディ領域と対面するゲート電極とが形成されており、

前記堆積絶縁層の上端は、前記フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

【請求項 2】

請求項 1 に記載する絶縁ゲート型半導体装置において、

前記フローティング領域の上端よりも上方に位置し、前記ドリフト領域に囲まれるとともに第 1 導電型半導体である中間フローティング領域を有し、

前記トレンチ部は、前記中間フローティング領域を貫通しており、

前記堆積絶縁層の上端は、前記中間フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

【請求項 3】

請求項 1 に記載する絶縁ゲート型半導体装置において、

半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助フローティング領域を有し、

前記補助トレンチ部の底部は、前記補助フローティング領域内に位置することを特徴とする絶縁ゲート型半導体装置。

【請求項 4】

請求項 3 に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の深さと前記補助トレンチ部の深さとが異なることを特徴とする絶縁ゲート型半導体装置。

【請求項 5】

請求項 3 に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の深さと前記補助トレンチ部の深さとが同一であることを特徴とする絶縁ゲート型半導体装置。

【請求項 6】

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第 2 導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置するトレンチ部と、前記トレンチ部内に位置し前記ボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置において、

半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助フローティング領域を有し、

前記補助トレンチ部の底部は、前記補助フローティング領域内に位置することを特徴とする絶縁ゲート型半導体装置。

【請求項 7】

請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助フローティング領域の上端よりも上方に位置し、前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助中間フローティング領域を有し、

前記補助トレンチ部は、前記中間補助フローティング領域を貫通しており、

前記堆積絶縁層の上端は、前記中間補助フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

【請求項 8】

請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助トレンチ部と前記ゲート電極を挟んで対向し、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された第 2 補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である第 2 補助フローティング領域を有し、

前記補助トレンチ部と前記第 2 補助トレンチ部とは、互いに深さが異なることを特徴とする絶縁ゲート型半導体装置。

【請求項 9】

請求項 3 または請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助トレンチ部は、半導体基板の上方から見てドット形状に構成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 10】

請求項 1 から請求項 9 のいずれか 1 つに記載する絶縁ゲート型半導体装置において、

セル領域の周辺領域に位置し、内側が絶縁物で充填された終端トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である終端フローティング領域とを有し、

前記終端トレンチ部の底部は、前記終端フローティング領域内に位置していることを特徴とする絶縁ゲート型半導体装置。

【請求項 11】

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第 2 導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置するトレンチ部と、前記トレンチ部内に位置し前記ボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置の製造方法において、

前記ドリフト領域および前記ボディ領域が形成された半導体基板内に前記トレンチ部を形成するトレンチ部形成工程と、

前記トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入する不純物注入工程と、

前記不純物注入工程にて不純物を注入した後に、トレンチ部内に絶縁物を堆積させる絶縁物堆積工程と、

前記絶縁物堆積工程にて絶縁物を堆積させた後に、熱拡散処理を行うことでフローティング領域を形成するフローティング領域形成工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 12】

請求項 11 に記載する絶縁ゲート型半導体装置の製造方法において、

前記不純物注入工程にて不純物を注入した後に、トレンチ部の底部をさらに掘り下げるトレンチ部深堀工程と、

前記トレンチ部深堀工程にて掘り下げられたトレンチ部の底部から再度不純物を注入する不純物再注入工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【書類名】明細書

【発明の名称】絶縁ゲート型半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する絶縁ゲート型半導体装置およびその製造方法に関する。さらに詳細には、半導体層にかかる電界を緩和することにより、高耐圧化と低オン抵抗化との両立を図った絶縁ゲート型半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

従来から、パワーデバイス用の絶縁ゲート型半導体装置として、トレンチゲート構造を有するトレンチゲート型半導体装置が提案されている。このトレンチゲート型半導体装置では、一般的に高耐圧化と低オン抵抗化とがトレードオフの関係にある。

【0003】

この点に着目したトレンチゲート型半導体装置としては、例えば特許文献1に開示されているものがある。このトレンチゲート型半導体装置は、概略、図26に示すように構成されている。すなわち、図26中の上面側に N^+ ソース領域31が設けられ、下側に N^+ ドレイン領域11が設けられている。そして、それらの間には上面側から、Pボディ領域41および N^- ドリフト領域12が設けられている。さらに、半導体装置の上面側の一部を掘り込むことで形成されたトレンチ21が設けられている。また、トレンチ21には、ゲート電極22が内蔵されている。また、トレンチ21の直下にPフローティング領域50が設けられている。また、ゲート電極22は、トレンチ21の壁面に形成されたゲート絶縁膜24によりPボディ領域41から絶縁されている。

【0004】

このトレンチゲート型半導体装置では、ゲート電圧のスイッチオフ時に、Pボディ領域41と N^- ドリフト領域12との間のPN接合箇所から N^+ ドレイン領域11に向けて空乏層が広がっていくとともにPフローティング領域50の下端部からも N^+ ドレイン領域11に向けて空乏層が広がっていく。すなわち、Pフローティング領域50が N^- ドリフト領域12の空乏化を促進するのである。これにより、ドレインーソース間の高耐圧化を図ることができる。とされている。

【0005】

また、この他のトレンチゲート型半導体装置としては、例えば特許文献2に記載されているものがある。このトレンチゲート型半導体装置には、図27に示すようにトレンチ21から離れた位置にPフローティング領域59が設けられている。このPフローティング領域59によっても、図26の絶縁ゲート型半導体装置と同様にドレインーソース間の高耐圧化を図ることができる。とされている。

【0006】

前記した図27の半導体装置は、次のような手順で作製される。まず、 N^+ ドレイン領域11となる N^+ 基板上に、 N^- 型ドリフト領域12となる N^- 型シリコン層をエピタキシャル成長により形成する。このとき N^- 型シリコン層は、図27中のZの位置まで形成する。次に、Pフローティング領域59をイオン注入等により形成する。次に、再度エピタキシャル成長を行って残りの N^- 型シリコン層を形成する。これにより、Pフローティング領域59が N^- ドリフト領域12に完全に囲まれた半導体装置が形成される。なお、これらの工程を繰り返し行うことで、Pフローティング領域59を異なる深さで幾つも形成することができる。

【0007】

また、これらのトレンチゲート型半導体装置の終端エリアは、一般的に図28に示すような構造を有している。すなわち終端エリアには、トレンチ21の深さと同等かもしくはそれ以上の深さのP終端拡散領域61が形成されている。これにより、ゲート電圧のスイッチオフ時に、P終端拡散領域61の周辺からも空乏層が形成される。これにより、終端

部における電界の集中を緩和している。

【特許文献1】特開平10-98188号公報

【特許文献2】特開平9-191109号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、前記した図26の半導体装置には、次のような問題点があった。すなわち、Pフローティング領域50は、トレンチ21の底部からのイオン注入により形成される。そのため、トレンチ21の底部には少なからず損傷が生じている。それ故、そのままゲート絶縁膜24を形成すると、素子特性の低下や信頼性の低下といった不具合を招いてしまう。また、ゲート電極22がPフローティング領域50と対面している。そのためオン時に、ゲート電極22内で、Pボディ領域41と対面している部分と、Pフローティング領域50と対面している部分とで電荷が分散してしまう。このため、オン抵抗が大きくなってしまう。

【0009】

一方、図27の半導体装置では、Pフローティング領域59がトレンチ21から離れて形成されているため、上記の問題を回避して高耐圧化を図ることができる。しかしながら、N⁻ドリフト領域12に完全に囲まれたPフローティング領域54を形成する際には、少なくとも2回のN⁻型シリコン層の形成工程（エピタキシャル成長工程）が必要であり、作製するのに非常に手間がかかる。

【0010】

また、終端エリアの電界の集中を緩和するためには、セルエリアに形成された各Pフローティング領域と厚さが異なるP終端拡散領域61を形成する工程が必要である。そのため、工程数が多く、作製するのに手間がかかる。また、熱負荷が大きいことからN⁻型ドリフト領域12（エピタキシャル層）の不純物が拡散してその濃度にばらつきが生じる。そして、それを補うためにはN⁻型ドリフト領域12の厚さを厚くする必要がある、その結果オン抵抗が大きくなってしまう。

【0011】

本発明は、前記した従来のトレンチゲート型半導体装置が有する問題点を少なくとも1つ解決するためになされたものである。すなわちその課題とするところは、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0012】

この課題の解決を目的としてなされた絶縁ゲート型半導体装置は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置であって、ドリフト領域に囲まれるとともに第1導電型半導体であるフローティング領域を有し、トレンチ部の底部は、フローティング領域内に位置し、トレンチ部内には、絶縁物を堆積してなる堆積絶縁層と、堆積絶縁層上に位置し、ボディ領域と対面するゲート電極とが形成されており、堆積絶縁層の上端は、フローティング領域の上端よりも上方に位置するものである。

【0013】

すなわち、本発明の絶縁ゲート型半導体装置は、ドリフト領域に囲まれたフローティング領域を有している。このフローティング領域により、オフ時のドリフト領域の空乏化を促進することができる。また、電界のピークを複数箇所に形成することができ、最大ピーク値の低減を図ることができる。また、トレンチ部の中に堆積絶縁層を有している。これにより、ゲート絶縁膜およびゲート電極は、トレンチ部の損傷の影響を受けない。よって、素子特性の劣化および信頼性の低下が抑止される。また、その堆積絶縁層の上端は、フ

ローティング領域の上端よりも上方に位置している。これにより、ゲート電極とフローティング領域との対面が抑止され、オン抵抗の増大が防止される。

【0014】

また、本発明の絶縁ゲート型半導体装置は、フローティング領域の上端よりも上方に位置し、ドリフト領域に囲まれるとともに第1導電型半導体である中間フローティング領域を有し、トレンチ部は、中間フローティング領域を貫通しており、堆積絶縁層の上端は、中間フローティング領域の上端よりも上方に位置することとするよりよい。

【0015】

すなわち、ボディ領域とフローティング領域との間の位置にフローティング領域と同様の作用を有する中間フローティング領域を有している。これにより、電界のピークを少なくとも3箇所形成でき、より最大ピーク値の低減を図ることができる。よって、より高耐圧化および低オン抵抗化を図ることができる。なお、中間フローティング領域は、1つに限らず複数設けてもよい。中間フローティング領域が多ければ多いほど電界のピークを数多く形成でき、より最大ピーク値の低減を図ることができる。

【0016】

また、本発明の絶縁ゲート型半導体装置は、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である補助フローティング領域を有し、補助トレンチ部の底部は、補助フローティング領域内に位置することとするよりよい。すなわち、フローティング領域と同様の作用を有する補助フローティング領域が複数形成される。これにより、補助フローティング領域を含むフローティング領域の密度が高いことから、フローティング領域等のサイズ等の製造マージンが大きい。

【0017】

また、本発明の絶縁ゲート型半導体装置は、トレンチ部の深さと補助トレンチ部の深さが異なることとするよりよい。これにより、フローティング領域と補助フローティング領域とが厚さ方向に異なる位置に設けられる。従って、電界のピークを3箇所に形成でき、より最大ピーク値の低減を図ることができる。

【0018】

一方、本発明の絶縁ゲート型半導体装置は、トレンチ部の深さと補助トレンチ部の深さが同一であるとしてもよい。トレンチ部と補助トレンチ部とが同一の深さであることから、トレンチ部と補助トレンチ部とを同一の工程で形成することができる。そのため、工程数を削減することができる。また、隣り合うフローティングの間の距離が短く、ドリフト領域の濃度が高くても空乏層を確実に繋げることができる。そのため、低オン抵抗化を図ることができる。また、1つあたりのフローティング領域のサイズは小さくて済む。また、熱拡散処理も同一の工程で行うことができるため、不純物の拡散が少なく熱拡散処理によるオン抵抗の低下を抑制することができる。なお、ここでいう「同一」の深さとは、正確に一致していなければならないことを意味するものではない。すなわち、トレンチ形成時に生じる深さの多少のずれは、同一の範囲内である。

【0019】

また、本発明の別の絶縁ゲート型半導体装置は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置するトレンチ部と、トレンチ部内に位置しボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置であって、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である補助フローティング領域を有し、補助トレンチ部の底部は、補助フローティング領域内に位置するものである。

【0020】

すなわち、本発明の絶縁ゲート型半導体装置は、ドリフト領域に囲まれた補助フローティング領域を有している。この補助フローティング領域により、オフ時のドリフト領域の

空乏化を促進することができる。また、補助フローティング領域は、補助フローティング領域用に形成された補助トレンチ部の下方に設けられている。そのため、補助フローティング領域の設計自由度は高い。一方、ゲート電極を内蔵するトレンチ部は、従来と同様の製造方法にて形成することができる。そのため、底部からのイオン注入はなく、素子特性の劣化および信頼性の低下等の問題は生じない。

【0021】

また、本発明の絶縁ゲート型半導体装置は、補助フローティング領域の上端よりも上方に位置し、ドリフト領域に囲まれるとともに第1導電型半導体である補助中間フローティング領域を有し、補助トレンチ部は、中間補助フローティング領域を貫通しており、堆積絶縁層の上端は、中間補助フローティング領域の上端よりも上方に位置することとするとよりよい。これにより、電界のピークを少なくとも3箇所形成でき、より最大ピーク値の低減を図ることができる。よって、より高耐圧化および低オン抵抗化を図ることができる。

【0022】

また、本発明の絶縁ゲート型半導体装置は、補助トレンチ部とゲート電極を挟んで対向し、半導体基板の上面からボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された第2補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である第2補助フローティング領域を有し、補助トレンチ部と第2補助トレンチ部とは、互いに深さが異なることとするとよりよい。

【0023】

すなわち、補助トレンチ部と第2補助トレンチ部との深さが互いに異なることから、補助フローティング領域と第2フローティング領域とは厚さ方向の位置が互いに異なる。よって、電界のピークを3箇所に形成でき、最大ピーク値の低減を図ることができる。また、補助フローティング領域と第2フローティング領域とは同一の熱拡散処理にて形成することができるため、熱負荷が小さい。

【0024】

また、本発明の絶縁ゲート型半導体装置の補助トレンチ部は、半導体基板の上方から見てドット形状に構成されていることとするとよりよい。これにより、電流経路が広く低オン抵抗化を図ることができる。

【0025】

また、本発明の絶縁ゲート型半導体装置は、セル領域の周辺領域に位置し、内側が絶縁物で充填された終端トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である終端フローティング領域とを有し、終端トレンチ部の底部は、終端フローティング領域内に位置していることとするとよりよい。

【0026】

すなわち、終端エリアにも、フローティング領域と同様の作用を有する終端フローティング領域を設けている。これにより、終端エリアにおいても高耐圧化が図られている。また、終端フローティング領域は、セルエリア内のフローティング領域と同等のサイズである。従って、コンパクトであり、サイズの制御性もよい。また、終端フローティング領域は、フローティング領域と同一の工程にて形成することができることから、その形成も容易である。さらに、同一の工程にて形成されることから、従来の半導体装置と比較して熱負荷が小さい。

【0027】

また、本発明の絶縁ゲート型半導体装置の製造方法は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置するトレンチ部と、トレンチ部内に位置しボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置の製造方法であって、ドリフト領域およびボディ領域が形成された半導体基板内にトレンチ部を形成するトレンチ部形成工程と、トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入する不純物注入工程と、不純

物注入工程にて不純物を注入した後に、トレンチ部内に絶縁物を堆積させる絶縁物堆積工程と、絶縁物堆積工程にて絶縁物を堆積させた後に、熱拡散処理を行うことでフローティング領域を形成するフローティング領域形成工程とを含んでいる。

【0028】

この製造方法では、エピタキシャル成長等によってドリフト領域を形成した後、イオン注入等の不純物導入技術と熱拡散によりボディ領域を形成した半導体基板を出発材としている。そして、トレンチ部形成工程にて、ボディ領域を貫通するトレンチ部を形成している。そして、フローティング領域形成工程にて、そのトレンチ部から不純物を注入することによりフローティング領域を形成している。すなわち、フローティング領域がドリフト領域およびボディ領域の形成後に形成されるため、フローティング領域の形成後に再度エピタキシャル成長により単結晶シリコン層を形成する必要がない。従って、フローティング領域を有する絶縁ゲート型半導体装置を簡便に作製することができる。

【0029】

また、本発明の絶縁ゲート型半導体装置の製造方法は、不純物注入工程にて不純物を注入した後に、トレンチ部の底部をさらに掘り下げるトレンチ部深堀工程と、トレンチ部深堀工程にて掘り下げられたトレンチ部の底部から再度不純物を注入する不純物再注入工程とを含むこととするとよりよい。これにより、1回のエピタキシャル成長により形成されたウェーハに対してその厚さ方向に複数段のフローティング領域を設けることができる。従って、簡便に高耐压化と低オン抵抗化とを両立させることができる。

【発明の効果】

【0030】

本発明によれば、ドリフト領域に囲まれたフローティング領域により、高耐压化と低オン抵抗化の両立を図ることができる。また、堆積絶縁層により、不純物の注入による影響を回避することができる。また、エピタキシャル成長によるシリコン層の形成を繰り返すことなくフローティング領域を形成することができる。よって、高耐压化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法が提供されている。

【発明を実施するための最良の形態】

【0031】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。なお、本実施の形態は、絶縁ゲートへの電圧印加により、ドレインソース間（以下、「DS間」とする）の導通をコントロールするパワーMOSに本発明を適用したものである。

【0032】

〔第1の形態〕

第1の形態に係る絶縁ゲート型半導体装置100（以下、「半導体装置100」とする）は、図1の断面図に示す構造を有している。なお、図1中、図26で示した従来の半導体装置と同一記号の構成要素は、その構成要素と同一機能を有するものである。また、本明細書においては、出発基板と、出発基板上にエピタキシャル成長により形成した単結晶シリコンの部分とを合わせた全体を半導体基板と呼ぶこととする。

【0033】

半導体装置100では、半導体基板内における図1中の上面側に、 N^+ ソース領域31およびコンタクト抵抗を下げるために高濃度に形成された P^+ ソース領域32が設けられている。一方、下面側には N^+ ドレイン領域11が設けられている。それらの間には上面側から、 P^- ボディ領域41および N^- ドリフト領域12が設けられている。なお、 P^- ボディ領域41および N^- ドリフト領域12を合わせた領域（以下、「エピタキシャル層」とする）の厚さは、およそ $5.5\mu m$ （そのうち、 P^- ボディ領域41の厚さは、およそ $1.2\mu m$ ）である。

【0034】

また、半導体基板の上面側の一部を掘り込むことによりトレンチ21が形成されている

。トレンチ21の深さはおよそ $3.2\mu\text{m}$ であり、 P^- ボディ領域41を貫通している。トレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。具体的に堆積絶縁層23は、トレンチ21の底部からおよそ $1.7\mu\text{m}$ の高さの位置まで酸化シリコンが堆積してできたものである。さらに、堆積絶縁層23上には、導体（例えば、ポリシリコン）の堆積によるゲート電極22が形成されている。ゲート電極22の下端は、 P^- ボディ領域41の下面より下方に位置している。そして、ゲート電極22は、トレンチ21の壁面に形成されているゲート絶縁膜24を介して、半導体基板の N^+ ソース領域31および P^- ボディ領域41と対面している。すなわち、ゲート電極22は、ゲート絶縁膜24により N^+ ソース領域31および P^- ボディ領域41から絶縁されている。このような構造を持つ半導体装置100では、ゲート電極22への電圧印加により P^- ボディ領域41にチャネル効果を生じさせ、もって N^+ ソース領域31と N^+ ドレイン領域11との間の導通をコントロールしている。

【0035】

さらに、半導体基板には、 N^- ドリフト領域12に囲まれたPフローティング領域51が形成されている。Pフローティング領域51の断面は、図1の断面図に示したように、トレンチ21の底部を中心とした半径 $0.6\mu\text{m}$ の略円形状となっている。また、各トレンチ21は、およそ $3.0\mu\text{m}$ のピッチで形成されている。従って、隣り合うPフローティング領域51、51間には、十分なスペースがある。よって、オン状態において、Pフローティング領域51の存在がドレイン電流に対する妨げとなることはない。また、Pフローティング領域51の半径（およそ $0.6\mu\text{m}$ ）は、堆積絶縁層23の厚さ（およそ $1.7\mu\text{m}$ ）の $1/2$ 以下である。従って、堆積絶縁層23の上端は、Pフローティング領域51の上端よりも上方に位置する。よって、堆積絶縁層23上に堆積するゲート電極22とPフローティング領域51とは対面していない。

【0036】

本形態の半導体装置100は、ゲート電極22を内蔵するトレンチ21の下方にPフローティング領域51が設けられていることにより、それを有しない絶縁ゲート型半導体装置と比較して、次のような特性を有する。すなわち、ゲート電圧のスイッチオフ時には、DS間の電圧によって、 N^- ドリフト領域12内では P^- ボディ領域41との間のPN接合箇所から空乏層が形成される。そして、そのPN接合箇所の近傍が電界強度のピークとなる。空乏層の先端がPフローティング領域51に到達すると、Pフローティング領域51がパンチスルー状態となってその電位が固定される。また、DS間の印加電圧が高い場合には、Pフローティング領域51の下端部からも空乏層が形成される。そして、 P^- ボディ領域41との間のPN接合箇所とは別に、Pフローティング領域51の下端部の近傍も電界強度のピークとなる。すなわち、電界のピークを2箇所形成でき、最大ピーク値の低減を図ることができる。よって、高耐压化が図られる。また、高耐压であることから、 N^- ドリフト領域12の不純物濃度を上げて低オン抵抗化を図ることができる。

【0037】

また、半導体装置100は、トレンチ21内に堆積絶縁層23が設けられていることにより次のような特性を有する。すなわち、Pフローティング領域51は、後述するようにトレンチ21の底部からのイオン注入等により形成されるため、トレンチ21の底部には少なからず損傷が生じている。しかしながら、堆積絶縁層23の存在によって、トレンチ21の底部の損傷による影響を回避し、素子特性の劣化や信頼性の低下といった不具合を防止している。また、堆積絶縁層23にてゲート電極22とPフローティング領域51との対面による影響を緩和し、 P^- ボディ領域41内のオン抵抗を低減している。また、堆積絶縁層23を設けない場合と比較して、ゲート電極22が小さいため、ゲートドレイン間容量 C_{gd} が小さく、スイッチングスピードが速い。

【0038】

なお、前述したPフローティング領域を半導体装置の厚さ方向に複数設けてもよい。例えば、図2に示すようにPフローティング領域を2段設けた構造としてもよい。図2に示した半導体装置101では、図1に示した半導体装置100よりも深い深さ（ $8.5\mu\text{m}$

程度)のエピタキシャル層およびトレンチ21が設けられている。そして、トレンチ21の底部を中心とするPフローティング領域51と、Pフローティング領域51とP⁻ボディ領域41との間に位置するPフローティング領域52とが設けられている。これにより、P⁻ボディ領域41との間のPN接合箇所から形成された空乏層は、一旦Pフローティング領域52に到達した後にPフローティング領域51に到達する。そのため、P⁻ボディ領域41との間のPN接合箇所とは別に、Pフローティング領域52の下端部およびPフローティング領域51の下端部でも電界強度のピークとなる。従って、電界のピークを3箇所に形成でき、より最大ピーク値の低減を図ることができる。なお、Pフローティング領域51とP⁻ボディ領域41との間に位置するPフローティング領域52の数を増やすほど電界のピーク箇所を多くすることができる。そのため、Pフローティング領域52の数が多いほど高耐圧化および低オン抵抗化を図ることができる。

【0039】

また、Pフローティング領域を半導体装置の終端エリアに設けてもよい。例えば、図3に示すように終端エリアにトレンチ62およびPフローティング領域52を設けた構造としてもよい。図3に示した半導体装置102では、トレンチ62内が絶縁物(酸化シリコン等)で充填されている。また、Pフローティング領域51と同様の作用を有するPフローティング領域53が形成されている。半導体装置102では、トレンチ62およびそれに対応するPフローティング領域53によってセルエリアと同様に高耐圧化を図っている。また、Pフローティング領域53のサイズが従来のP終端拡散領域61と比較して小さい。そのため、そのサイズの制御性がよく、半導体装置自体のコンパクト化を図ることができる。また、Pフローティング領域53は、従来の半導体装置(図28参照)のP終端拡散領域61と比較して熱負荷が小さい。そのため、N⁻ドリフト領域12(エピタキシャル層)の厚さを薄くでき、オン抵抗を小さくすることができる。

【0040】

次に、図1に示した半導体装置100の製造プロセスを図4により説明する。まず、N⁺ドレイン領域11となるN⁺基板上に、N⁻型シリコン層をエピタキシャル成長により形成する。このN⁻型シリコン層(エピタキシャル層)は、N⁻ドリフト領域12、P⁻ボディ領域41、N⁺ソース領域31の各領域となる部分である。そして、その後のイオン注入等によりP⁻ボディ領域41およびN⁺ソース領域31が形成される。これにより、図4(a)に示すようなN⁺ドレイン領域11上にエピタキシャル層を有する半導体基板が作製される。

【0041】

次に、図4(b)に示すようにP⁻ボディ領域41を貫通してその底部がN⁻ドリフト領域12にまで到達するトレンチ21を形成する。その後、熱酸化処理を行うことにより、トレンチ21の壁面に厚さが50nm程度の酸化膜95を形成する。次に、図4(c)に示すようにトレンチ21の底面からイオン注入を行う。酸化膜95の形成後にイオン注入を行うのは、トレンチ21の側壁にイオン注入を行わないようにするためである。イオン注入後は、トレンチ21内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

【0042】

次に、図4(d)に示すようにトレンチ21内にCVDにて絶縁物(酸化シリコン等)23を堆積させる。その後、絶縁物の焼きしめとPフローティング領域51の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域51が形成される。なお、Pフローティング領域51のサイズは、トレンチ21の底部の寸法により決められる。さらに、Pフローティング領域51の厚さ方向の位置は、トレンチの深さにより決められる。すなわち、Pフローティング領域51は、寸法精度が高いトレンチ21を基に形成されることからその寸法精度が高い。次に、図4(e)に示すように絶縁物を堆積した状態の半

導体基板に対してエッチングを行うことで絶縁物の一部を除去する。これにより、ゲート電極22を形成するためのスペースを確保する。

【0043】

次に、半導体基板の上面およびトレンチ21の壁面に熱酸化により酸化膜24を形成する。これがゲート酸化膜24となる。そして、先の工程にて確保したスペースに導体（ポリシリコン等）を堆積させることで、図4（f）に示すようなゲート電極22が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図4（g）に示すような絶縁ゲート型半導体装置、すなわち半導体装置100が作製される。

【0044】

また、図2に示した半導体装置101は、図5のような製造プロセスにより作製される。トレンチ21を形成した後にイオン注入を行う（図4（c）に相当）までは、図1に示した半導体装置100の製造プロセスと同様である。その段階の半導体基板に対して、絶縁物を堆積させることなく、熱拡散処理を行う。これにより、図5（d）に示すようにPフローティング領域52が形成される。

【0045】

次に、図5（e）に示すように再びエッチングを行うことでトレンチ21を掘り下げる。次に、図5（f）に示すように熱酸化処理を行うことでトレンチ21の壁面に酸化膜95を形成する。その後、トレンチ21の底面から再びイオン注入を行う。イオン注入後は、トレンチ21内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

【0046】

次に、図5（g）に示すようにトレンチ21内にCVDにて絶縁物（酸化シリコン等）23を堆積させる。その後、絶縁物の焼きしめとPフローティング領域51の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域51が形成される。

【0047】

次に、図4（e）以降に示した工程と同様の作業を行うことで、図5（h）に示すようなトレンチ21に内蔵されたゲート電極22が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図5（i）に示すような絶縁ゲート型半導体装置、すなわち半導体装置101が作製される。なお、Pフローティング領域52の数は、図5（d）から図5（f）までの工程を繰り返すことにより厚さ方向に増やすことが可能である。

【0048】

また、図3に示した終端エリアのPフローティング領域53もセルエリアのPフローティング領域51と同じ工程で作製することができる。そのため、終端エリアの高耐圧化が図られた半導体装置102を、少ない工程で簡便に作製することができる。

【0049】

続いて、図1に示した半導体装置100について、DS間の耐圧およびオン抵抗の測定結果について説明する。図6は、ゲート電圧 V_g を0Vに固定したときの、DS間における電圧 V_{ds} と電流 I_{ds} との関係を示したグラフである。図6に示すように電圧 V_{ds} が10Vから70Vまでの間は、電流 I_{ds} の値がほぼ一定であることがわかる。そして、電圧 V_{ds} が72Vを超えることで急激に電流 I_{ds} が大きくなっている。すなわち、およそ72Vでブレイクダウンが発生したことがわかる。図7は、ゲート電圧 V_g を変えて、DS間における電圧 V_{ds} と電流値 I_{ds} との関係をシミュレートしたときのグラフである。このグラフの傾きがDS間のオン抵抗に相当する。一般的に、シリコン限界（ユニポーラリミット）は、次の式（1）で計算されるオン抵抗（ R_{on} ）で示される。なお、式（1）中の V_b は耐圧を示す。

$$R_{on} = 8.33 \times 10^{-9} (V_b)^{2.5} \quad (1)$$

例えば、耐圧72Vの場合は、オン抵抗 $36.6 \text{ m}\Omega \cdot \text{mm}^2$ がユニポーラリミットであ

る。ここで本形態の、例えばゲート電圧 $V_g = 15 \text{ V}$ の時のオン抵抗は、図 7 の $V_g = 15 \text{ V}$ のグラフの傾きより $34.0 \text{ m}\Omega \cdot \text{mm}^2$ であった。従って、本形態の絶縁ゲート型半導体装置は、ユニポーラリミットを超えて、より低オン抵抗化が図られたことがわかる。

【0050】

〔第 2 の形態〕

第 2 の形態に係る絶縁ゲート型半導体装置 200 (以下、「半導体装置 200」とする) は、図 8 の断面図に示す構造を有している。本形態の半導体装置 200 の特徴は、P フローティング領域用のトレンチを設け、そのトレンチの底部が P フローティング領域内に位置している点である。この点、ゲート電極が内蔵されているトレンチの底部が P フローティング領域に位置する半導体装置 100 (図 1 参照) と異なる。なお、図 8 中、図 1 で示した半導体装置 100 と同一記号の構成要素は、その構成要素と同一機能を有するものである。

【0051】

半導体装置 200 では、第 1 の形態の半導体装置 100 と同様に、 N^+ ソース領域 31、 N^+ ドレイン領域 11、 P^- ボディ領域 41 および N^- ドリフト領域 12 が設けられている。また、半導体装置 200 の上面側の一部を掘り込むことで形成されたトレンチ 21 が設けられている。また、トレンチ 21 には、ゲート電極 22 が内蔵されている。ゲート電極 22 は、トレンチ 21 の壁面に形成されたゲート絶縁膜 24 により P^- ボディ領域 41 から絶縁されている。半導体装置 200 では、ゲート電極 22 への電圧印加により P^- ボディ領域 41 にチャネル効果を生じさせ、もって N^+ ソース領域 31 と N^+ ドレイン領域 11 との間の導通をコントロールしている。

【0052】

また、半導体基板には、ゲート電極 22 が内蔵されたトレンチ 21 の他、トレンチ 21 を挟んで両側にトレンチ 25、25 が設けられている。各トレンチ 25 内は、絶縁物にて充填されている。さらに、トレンチ 25 の底部と接するとともに N^- ドリフト領域 12 に囲まれた P フローティング領域 54 が形成されている。P フローティング領域 54 の断面は、図 8 の断面図に示したように、トレンチ 25 の底部を中心とした略円形状となっている。なお、本明細書では、ゲート電極 22 用のトレンチを「トレンチ 21」とし、P フローティング領域 54 用のトレンチを「トレンチ 25」とする。

【0053】

本形態の半導体装置 200 では、第 1 の形態の半導体装置 100 と同様に、P フローティング領域 54 を設けることで電界のピークを 2 箇所形成でき、最大ピーク値の低減を図ることができる。また、第 1 の形態の半導体装置 100 と比較して、次のような特性を有する。すなわち、ゲート電極 22 の構造が従来のものと同じであるため、その形成が容易である。また、ゲート電極 22 と P フローティング領域 54 との間の距離が第 1 の半導体装置 100 と比較して長い。そのため、電流経路を確保し易く、低オン抵抗化を図ることができる。また、ゲート電極 22 と対向する P フローティング領域を設けていないことから、イオン注入の影響やオン抵抗の増大といった問題が生じない。

【0054】

なお、第 1 の形態の半導体装置 100 と同様に、P フローティング領域を半導体装置の厚さ方向に複数設けてもよい。例えば、図 9 に示すように 2 段構造の P フローティング領域としてもよい。図 9 に示した半導体装置 201 では、図 8 に示した半導体装置 200 よりも深い深さのトレンチ 25 が設けられている。なお、ゲート電極 22 用のトレンチ 21 は、図 8 に示した半導体装置 200 と同様の深さである。半導体装置 201 では、トレンチ 25 の底部を中心とする P フローティング領域 54 と、P フローティング領域 54 と P^- ボディ領域 41 との間に位置する P フローティング領域 55 とが設けられている。これにより、電界のピークを 3 箇所形成でき、より高耐圧化および低オン抵抗化を図ることができる。

【0055】

また、図10に示すようにゲート電極22を挟んでトレンチ25と深さが異なるトレンチ26を設けてもよい。このトレンチ26も内部が絶縁物で充填されており、その底部がPフローティング領域56内に位置している。すなわち、Pフローティング領域56がPフローティング領域54と厚さ方向に異なる位置に設けられている。よって、図9に示した半導体装置201と同様に電界のピークを3箇所にした構造とすることができる。従って、高耐圧化および低オン抵抗化を図ることができる。なお、半導体装置202では、幅方向に空乏層が確実に繋がるようにするため、トレンチ間のピッチが半導体装置201と比較して若干狭く設計されている。半導体装置202では、各トレンチに接するPフローティング領域はそれぞれ1つであるため、各Pフローティング領域を形成するためのイオン注入および熱拡散処理は1回でよい。そのため、熱拡散処理による特性劣化を最小限にすることができる。また、各トレンチ内の充填処理は1度に行うことができるため、製造工程が少ない。

【0056】

また、各トレンチの形状は、紙面奥行き方向に長いストライプ形状のもの他、メッシュ形状やドット形状のものであってもよい。なお、高耐圧化を図るためには、図11に示すようなストライプ形状のものや、図12に示すようなメッシュ形状のものが効果的である。

【0057】

次に、図9に示した半導体装置201の製造プロセスを図13により説明する。なお、半導体装置201中のゲート電極22およびトレンチ21は一般的な構造であり、公知の製造方法にて形成される。まず、図13(a)に示すようにP⁻ボディ領域を貫通してその底部がN⁻ドリフト領域12にまで到達するトレンチ25が形成される。その後、トレンチ25の底面からイオン注入を行い、その後、熱拡散処理を行う。これにより、Pフローティング領域55が形成される。なお、この状態の半導体基板を基に、トレンチ25内に絶縁物を堆積させ、ソース電極およびドレイン電極を形成することにより、図8に示した半導体装置200が作製される。

【0058】

次に、図13(b)に示すように再びエッチングを行うことでトレンチ25を掘り下げる。その後、トレンチ25の底面から再びイオン注入を行う。次に、図13(c)に示すようにトレンチ21内にCVDにて絶縁物23を堆積させる。その後、絶縁物の焼きしめとPフローティング領域54の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域54が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図13(d)に示すような絶縁ゲート型半導体装置、すなわち半導体装置201が作製される。

【0059】

[第3の形態]

第3の形態に係る絶縁ゲート型半導体装置300（以下、「半導体装置300」とする）は、図14の断面図に示す構造を有している。本形態の半導体装置300の特徴は、Pフローティング領域が、ゲート電極用のトレンチおよびPフローティング領域用のトレンチのそれぞれ下方に形成されている点である。この点、Pフローティング領域がゲート電極用のトレンチ21の下方のみに形成されている半導体装置100（図1参照）や、Pフローティング領域用のトレンチ25の下方のみに形成されている半導体装置200（図8参照）と異なる。なお、図14中、図1で示した半導体装置100や図8で示した半導体装置200と同一記号の構成要素は、その構成要素と同一機能を有するものである。

【0060】

半導体装置300では、第1の形態の半導体装置100や第2の形態の半導体装置200と同様に、N⁺ソース領域31、N⁺ドレイン領域11、P⁻ボディ領域41およびN⁻ドリフト領域12が設けられている。また、半導体装置300の上面側の一部を掘り込むことで形成されたトレンチ21が設けられている。トレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。さらに、堆積絶縁層23上には、導体の堆

積によるゲート電極 22 が形成されている。ゲート電極 22 は、トレンチ 21 の壁面に形成されたゲート絶縁膜 24 により P⁻ ボディ領域 41 から絶縁されている。半導体装置 200 では、ゲート電極 22 への電圧印加により P⁻ ボディ領域 41 にチャネル効果を生じさせ、もって N⁺ ソース領域 31 と N⁺ ドレイン領域 11 との間の導通をコントロールしている。

【0061】

また、半導体基板には、ゲート電極 22 が内蔵されたトレンチ 21 の他、トレンチ 21 を挟んだ両側にトレンチ 21 より深い深さのトレンチ 25、25 が設けられている。トレンチ 25 内は、絶縁物にて充填されている。さらに、N⁻ ドリフト領域 12 に囲まれた P フローティング領域 51、54 が形成されている。P フローティング領域 51、54 の断面は、図 14 の断面図に示したように、トレンチ 21 もしくはトレンチ 25 の底部を中心とした略円形状となっている。なお、本明細書では、ゲート電極用のトレンチ 21 の底部が位置する P フローティング領域を「P フローティング領域 51」とし、P フローティング領域用のトレンチ 25 の底部が位置する P フローティング領域を「P フローティング領域 54」とする。

【0062】

隣り合う P フローティング領域 51、54 は、互いに接しないように配置されている。隣り合う P フローティング領域同士が接していると、オン時の電流経路が狭くなりオン抵抗が大きくなるためである。また、P フローティング領域 51 は、オフ時に P⁻ ボディ領域 41 と N⁻ ドリフト領域 12 との PN 接合部から下方に広がる空乏層がブレイクダウンの発生前に P フローティング領域 51 に到達するぎりぎりの位置に配置されている。これは、耐圧が空乏層の深さに比例するため、P⁻ ボディ領域 41 と P フローティング領域 51 との間の距離が短いと耐圧が低くなってしまいうからである。また、P フローティング領域 54 は、P フローティング領域 51 から下方に広がる空乏層がブレイクダウンの発生前に P フローティング領域 54 に到達するぎりぎりの位置に配置されている。これも最適な高耐圧化を図るためである。

【0063】

本形態の半導体装置 300 では、ゲート電極用のトレンチ 21 の底部と P フローティング領域用のトレンチ 25 の底部とのそれぞれに P フローティング領域 51、54 を設け、さらにトレンチ 21 とトレンチ 25 との深さを異にすることで、図 9 に示した半導体装置 201 や図 10 に示した半導体装置 202 と同様に電界のピークを 3 箇所 に設けた構造となっている。そのため、高耐圧化および低オン抵抗化が図られている。

【0064】

なお、P フローティング領域 51、54 は、必ずしも図 14 に示した半導体装置 300 のように、P フローティング領域 51 を上方にし、P フローティング領域 54 を下方にする配置に限るものではない。例えば、図 15 に示すように P フローティング領域 51 を下方にし、P フローティング領域 54 を上方にした配置であってもよい。このように配置された半導体装置 301 であっても電界のピークを 3 箇所 に形成でき、最大ピーク値の低減を図ることができる。

【0065】

また、図 14 および図 15 に示した半導体装置と異なり、図 16 に示す半導体装置 302 のようにゲート電極用のトレンチ 21 の深さと P フローティング領域用のトレンチ 25 の深さとを同一としてもよい。このような半導体装置 302 では、次のような利点を生じる。すなわち、両トレンチを同一の工程で形成することができる。そのため、工程数を削減することができる。また、隣り合う P フローティングの間の距離が短く、N⁻ ドリフト領域 12 の濃度が高くても空乏層を確実に繋げることができる。そのため、低オン抵抗化を図ることができる。また、数多くの P フローティング領域 51、54 にて高耐圧化を図るため、1 つあたりの P フローティング領域 51、54 のサイズは小さくて済む。よって、イオン注入時の加速電圧を低くすることができ、イオン注入によるダメージを抑制することができる。また、トレンチの深さの異なる半導体装置と比較して、エピタキシャル層

の厚さを小さくすることができる。また、熱拡散処理の回数が少ないため、不純物が必要以上に拡散されることを抑制でき、熱拡散処理によるオン抵抗の増大を抑制できる。

【0066】

また、図16に示した半導体装置302の各トレンチの形状は、他の半導体装置と同様にストライプ形状(図11参照)、メッシュ形状(図12参照)、ドット形状等のいずれであってもよい。なお、半導体装置302は、各Pフローティング領域の密度が高いことから、他の構造のものと比較してサイズ等の製造マージンが大きい。この利点を活用した配列として、図17に示すようにトレンチ25をドット形状とするとよりよい。この配列では、部分的にPフローティング領域54が切れているため、電流経路が広く低オン抵抗化を図ることができる。なお、空乏層の広がりをも均等とするためには、各トレンチ間の距離を均等とする。また、図18に示すようにトレンチ25の切れ目にトレンチ21を設けてメッシュ形状とすることで、ゲート電極22の面積が広くなり低オン抵抗化を図ることができる。なお、図17中のA-A断面あるいは図18中のB-B断面が図16に示した半導体装置302に相当する。

【0067】

次に、図14に示した半導体装置300の製造プロセスを図19により説明する。なお、半導体装置300中のゲート電極22およびトレンチ21は、図1の半導体装置100と同一の構造であり、図4に示した製造方法にて形成される。まず、図19(a)に示すように再びエッチングを行うことで、トレンチ21よりも深い深さのトレンチ25を形成する。その後、熱酸化処理を行うことにより、トレンチ25の壁面に酸化膜95を形成する。次に、トレンチ25の底面から再びイオン注入を行う。イオン注入後、トレンチ25内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

【0068】

次に、トレンチ25内に絶縁物を堆積させる。その後、絶縁物の焼きしめとPフローティング領域54の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域51に対して厚さ方向の位置が異なるPフローティング領域54が形成される。これにより、図19(b)に示すようにトレンチ25内に堆積絶縁層23が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図19(c)に示すような絶縁ゲート型半導体装置、すなわち半導体装置300が作製される。なお、図15に示した半導体装置301についても、各トレンチの深さを変更するだけで同様のプロセスで作製することが可能である。

【0069】

なお、ゲート電極用のトレンチ21とPフローティング領域用のトレンチ25とでは、トレンチ21を先に形成しているが、これは熱負荷を減らすためである。しかし、ゲート酸化温度を低くする等によりトレンチ25を先に形成することも可能である。

【0070】

次に、図16に示した半導体装置302の製造プロセスを図20により説明する。まず、図20(a)に示すようにP⁻ボディ領域41を貫通してその底部がN⁻ドリフト領域12にまで到達するトレンチ21およびトレンチ25が形成される。各トレンチは、一度に形成されるため、その深さが同一である。その後、熱酸化処理を行うことにより、各トレンチの壁面に酸化膜95を形成する。その後、各トレンチの底面からイオン注入を行う。イオン注入後、各トレンチ内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

【0071】

次に、各トレンチ内に絶縁物を堆積させる。これにより、各トレンチ内に堆積絶縁層 23 が形成される。その後、絶縁物の焼きしめと P フローティング領域 51 および P フローティング領域 54 の形成とを兼ねて熱拡散処理を行う。すなわち、P フローティング領域 51 および P フローティング領域 54 が 1 度の熱拡散処理でまとめて形成される。これにより、図 20 (b) に示すようにトレンチ 21 の下方には P フローティング領域 51 が、トレンチ 25 の下方には P フローティング領域 54 がそれぞれ形成される。

【0072】

次に、トレンチ 21 内の堆積絶縁層 23 に対してエッチングを行うことで、堆積絶縁層 23 の一部が除去される。さらに、トレンチ 21 の壁面に熱酸化により酸化膜 24 が形成される。これがゲート酸化膜 24 となる。そして、トレンチ 21 の内部に導体を堆積させることにより、図 20 (c) に示すようなトレンチ 21 に内蔵されたゲート電極 22 が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図 20 (d) に示すような絶縁ゲート型半導体装置、すなわち半導体装置 302 が作製される。

【0073】

以上詳細に説明したように第 1 の形態の半導体装置 100 (図 1) では、1 回のエピタキシャル成長工程によりエピタキシャル層 (N^- ドリフト領域 12) を形成し、さらにイオン注入、熱拡散等によりそのエピタキシャル層内に P^- ボディ領域 41 を形成することとしている。そして、そのエピタキシャル層を有する半導体基板に対してトレンチ 21 を形成し、そのトレンチの底部からイオン注入を行うことにより P フローティング領域 51 を形成することとしている。すなわち、P フローティング領域 51 を形成するに際し、エピタキシャル成長工程は 1 回のみでよい。このことは、半導体装置 101 (図 2) のように厚さ方向に複数の P フローティング領域 52 を作製する場合や、半導体装置 102 (図 3) のように終端エリアに P フローティング領域 53 を作製する場合でも同様である。そして、P フローティング領域 51 によりゲート電圧のスイッチオフ時における N^- ドリフト領域 12 の空乏化を促進するとともに電界の集中を緩和することができている。これにより、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法が実現されている。

【0074】

また、トレンチ 21 内に堆積絶縁層 23 を形成することとしている。これにより、イオン注入による影響を受けることなく、ゲート絶縁膜 24 およびゲート電極 22 を形成することができる。これにより、素子特性の劣化および信頼性の低下を抑止することができる。また、堆積絶縁層 23 の上端は、P フローティング領域 51 の上端よりも上方に位置している。よって、ゲート電極 22 と P フローティング領域 51 との対面が抑止されている。これにより、オン抵抗の増大を防止することができる。

【0075】

また、半導体装置 101 (図 2) では、 P^- ボディ領域 41 と P フローティング領域 51 との間の位置に P フローティング領域 52 を有することとしている。これにより、電界のピークを 3 箇所形成でき、より最大ピーク値の低減を図ることができる。よって、P フローティング領域 52 を設けることで、より高耐圧化および低オン抵抗化を図ることができる。

【0076】

また、半導体装置 102 (図 3) では、終端エリアにも P フローティング領域 53 を有することとしている。これにより、終端エリアでもセルエリアと同様に高耐圧化を達成することができる。この P フローティング領域 53 は、セルエリアの P フローティング領域 51 と同じ工程で形成される。また、P フローティング領域 53 は、従来の半導体装置と比較してそれほどスペースを必要としない。従って、サイズの制御性がよく、半導体装置自体がコンパクトである。

【0077】

また、第 2 の形態の半導体装置 200 (図 8) では、P フローティング領域用のトレンチ 25 を設けることとしている。そして、ゲート電極 22 が内蔵されているトレンチ 21

の下方にはPフローティング領域を設けていない。そのため、イオン注入の影響やオン抵抗の増大といった問題が生じない。また、Pフローティング領域54は、Pフローティング領域用に形成されたトレンチ25の下方に設けられている。そのため、ゲート電極22の位置やサイズを考慮する必要がなく、設計自由度が高い。また、ゲート電極22とPフローティング領域54との間の距離が第1の半導体装置100と比較して長い。これにより、第1の形態の半導体装置100と同様に高耐圧化を図るとともに、電流経路を確保し易く、低オン抵抗化を図ることができる。

【0078】

また、半導体装置201（図9）では、P⁻ボディ領域41とPフローティング領域54との間の位置にPフローティング領域55を有することとしている。これにより、電界のピークを3箇所形成でき、より最大ピーク値の低減を図ることができる。また、半導体装置202（図10）では、異なる深さのトレンチ25を設け、各トレンチの下方に1つずつPフローティング領域54を設けることとしている。これにより、熱拡散処理による特性劣化を最小限にするとともに、高耐圧化および低オン抵抗化を図ることができる。

【0079】

また、第3の形態の半導体装置300（図14）では、ゲート電極用のトレンチ21とPフローティング領域用のトレンチ25とを設け、さらに両トレンチの下方にPフローティング領域51、54をそれぞれ設けることとしている。さらに、トレンチ21の深さとトレンチ25の深さとを異にすることとしている。これにより、電界のピークを複数箇所形成でき、より最大ピーク値の低減を図ることができる。

【0080】

また、半導体装置302（図16）では、トレンチ21の深さとトレンチ25の深さとを同一にすることとしている。半導体装置302では、トレンチ21とトレンチ25とを同一の工程で形成することができる。そのため、工程数を削減することができる。また、熱拡散処理の回数が少ないため、不純物の拡散が少なく熱拡散処理によるオン抵抗の低下を抑制することができる。

【0081】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。例えば、各半導体領域については、P型とN型とを入れ替えてもよい。また、ゲート絶縁膜24については、酸化膜に限らず、窒化膜等の他の種類の絶縁膜でもよいし、複合膜でもよい。また、半導体についても、シリコンに限らず、他の種類の半導体（SiC、GaN、GaAs等）であってもよい。

【0082】

また、図3に示した半導体装置102では、終端エリア内のトレンチ62内が完全に絶縁物で充填されているが、セルエリア内のトレンチ21と同様に一部の絶縁物を除去して導体を堆積させてもよい。この場合、トレンチ62内の導体は、ゲート配線と電気的に接続されていない。このような半導体装置であっても、少ない工程数で終端エリアの高耐圧化を図ることができる。

【0083】

また、実施の形態の絶縁ゲート型半導体装置は、図21に示すようなP型基板13を用いた伝導度変調型パワーMOSに対しても適用可能である。

【0084】

また、実施の形態の絶縁ゲート型半導体装置は、これまでに述べた特性に加え、次のような特性を有している。すなわち、Pフローティング領域51にホールが蓄積するため、Pフローティング領域51がホールの供給源となる。その結果、N⁻ドリフト領域12の表面領域、具体的にはPフローティング領域51よりも上方に位置する領域のホールの濃度を上げることができる。従って、低損失化が図られる。また、ゲート電極22の下方に堆積絶縁層23が形成されているため、ゲートドレイン間容量（C_{gd}）が小さい。よって、発信防止や駆動損失を低減できる。

【0085】

また、Pフローティング領域51からも空乏層が形成されるため、負荷短絡時の耐圧が向上する。すなわち、Pフローティング領域51を有しない従来の絶縁ゲート型半導体装置では、負荷短絡時に図11に示すようにP⁻ボディ領域41とN⁻ドリフト領域12との間のPN接合箇所からドレイン側に空乏層15が形成され、トレンチ21の下方の領域で電流が流れる(図22の矢印参照)。一方、本形態の絶縁ゲート型半導体装置100では、ゲート電極22の下に堆積絶縁層23が形成されており、図23に示すようにトレンチ21に沿って電流が流れる。また、Pフローティング領域51からも空乏層15が形成される。従って、負荷短絡時の電流経路が非常に狭い(図23の矢印参照)。その結果、短絡電流が低減し、負荷短絡時の耐圧が向上する。

【0086】

また、図24あるいは図25に示すようにP⁻ボディ領域41とN⁻ドリフト領域12との間にホールのバリアとして作用するNホールバリア領域18が形成されたパワーMOSに対しても適用可能である。このNホールバリア領域18が形成されたパワーMOSの場合、Nホールバリア領域18内で空乏層の広がり狭い。そのため、耐圧が低下してしまうおそれがある。しかしながら、本形態のようにPフローティング領域51を備えたパワーMOSでは、P⁻ボディ領域41とN⁻ドリフト領域12との間のPN接合箇所から形成される空乏層に加え、Pフローティング領域51からも空乏層が形成されるため、耐圧の低下が抑制される。

【図面の簡単な説明】

【0087】

【図1】第1の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【図2】第1の形態に係る絶縁ゲート型半導体装置(2段のPフローティング領域)の構造を示す断面図である。

【図3】第1の形態に係る絶縁ゲート型半導体装置の終端部の構造を示す断面図である。

【図4】図1の絶縁ゲート型半導体装置の製造工程を示す図である。

【図5】図2の絶縁ゲート型半導体装置の製造工程を示す図である。

【図6】ドレイン-ソース間の電圧と電流との関係(ゲート電圧一定)を示すグラフである。

【図7】ゲート電圧毎のドレイン-ソース間の電圧と電流との関係を示すグラフである。

【図8】第2の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【図9】第2の形態に係る絶縁ゲート型半導体装置(2段のPフローティング領域)の構造を示す断面図である。

【図10】第2の形態に係る絶縁ゲート型半導体装置(厚さ方向の位置が異なるPフローティング領域)の構造を示す断面図である。

【図11】ストライプ形状のトレンチを備えた絶縁ゲート型半導体装置の配列を示す上面図である。

【図12】メッシュ形状のトレンチを備えた絶縁ゲート型半導体装置の配列を示す上面図である。

【図13】図9の絶縁ゲート型半導体装置の製造工程を示す図である。

【図14】第3の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【図15】第3の形態に係る絶縁ゲート型半導体装置の構造(厚さ方向の位置が異なるPフローティング領域)を示す断面図である。

【図16】第3の形態に係る絶縁ゲート型半導体装置の構造(厚さ方向の位置が同じPフローティング領域)を示す断面図である。

【図17】ドット形状のトレンチを備えた絶縁ゲート型半導体装置の配列(その1)を示す上面図である。

【図18】ドット形状のトレンチを備えた絶縁ゲート型半導体装置の配列(その2)

を示す上面図である。

【図 19】図 14 の絶縁ゲート型半導体装置の製造工程を示す図である。

【図 20】図 16 の絶縁ゲート型半導体装置の製造工程を示す図である。

【図 21】伝導度変調型の半導体装置の構造を示す断面図である。

【図 22】従来の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

【図 23】実施の形態の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

【図 24】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その 1）を示す断面図である。

【図 25】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その 2）を示す断面図である。

【図 26】従来の絶縁ゲート型半導体装置（その 1）の構造を示す断面図である。

【図 27】従来の絶縁ゲート型半導体装置（その 2）の構造を示す断面図である。

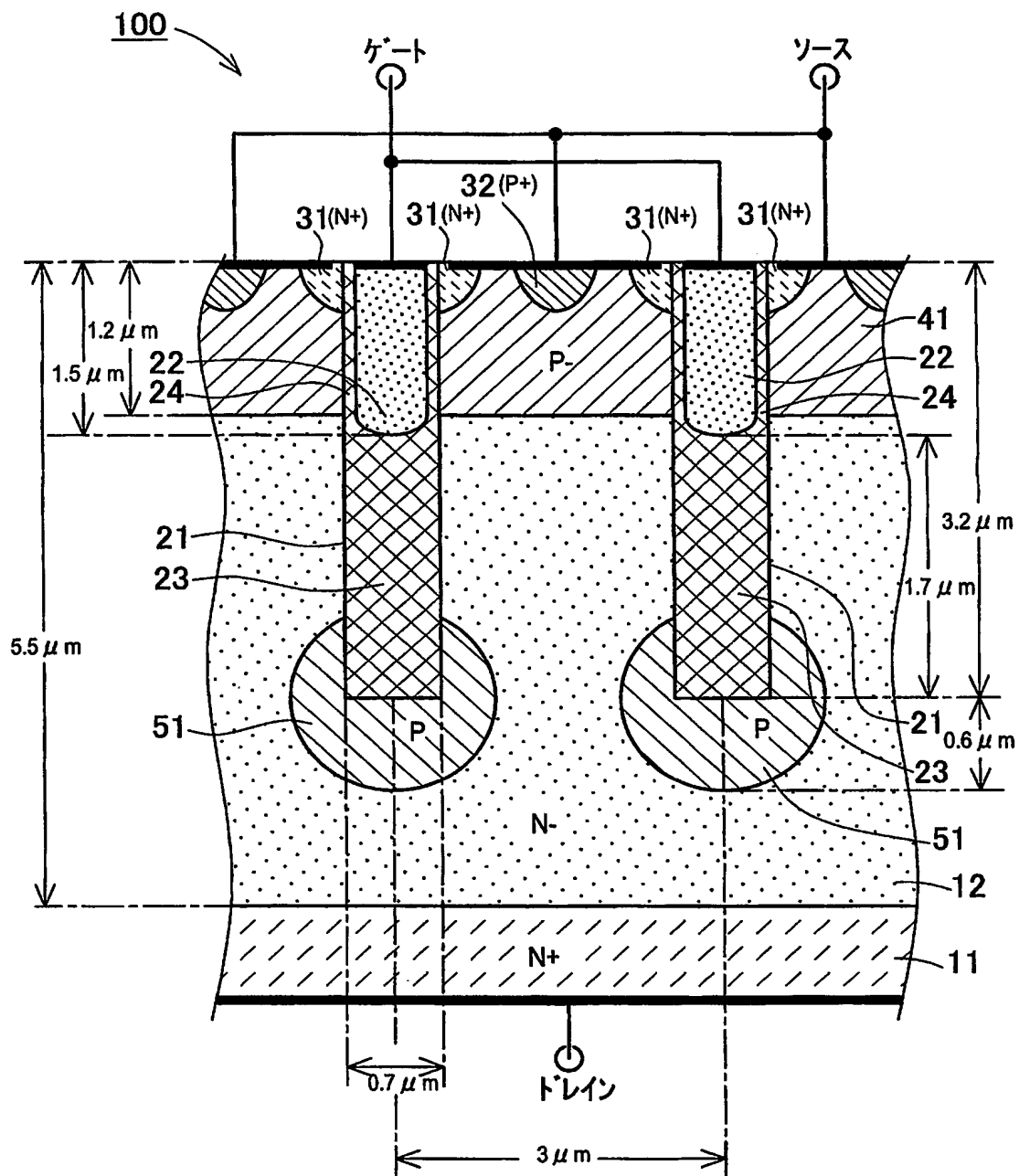
【図 28】従来の絶縁ゲート型半導体装置の終端構造を示す断面図である。

【符号の説明】

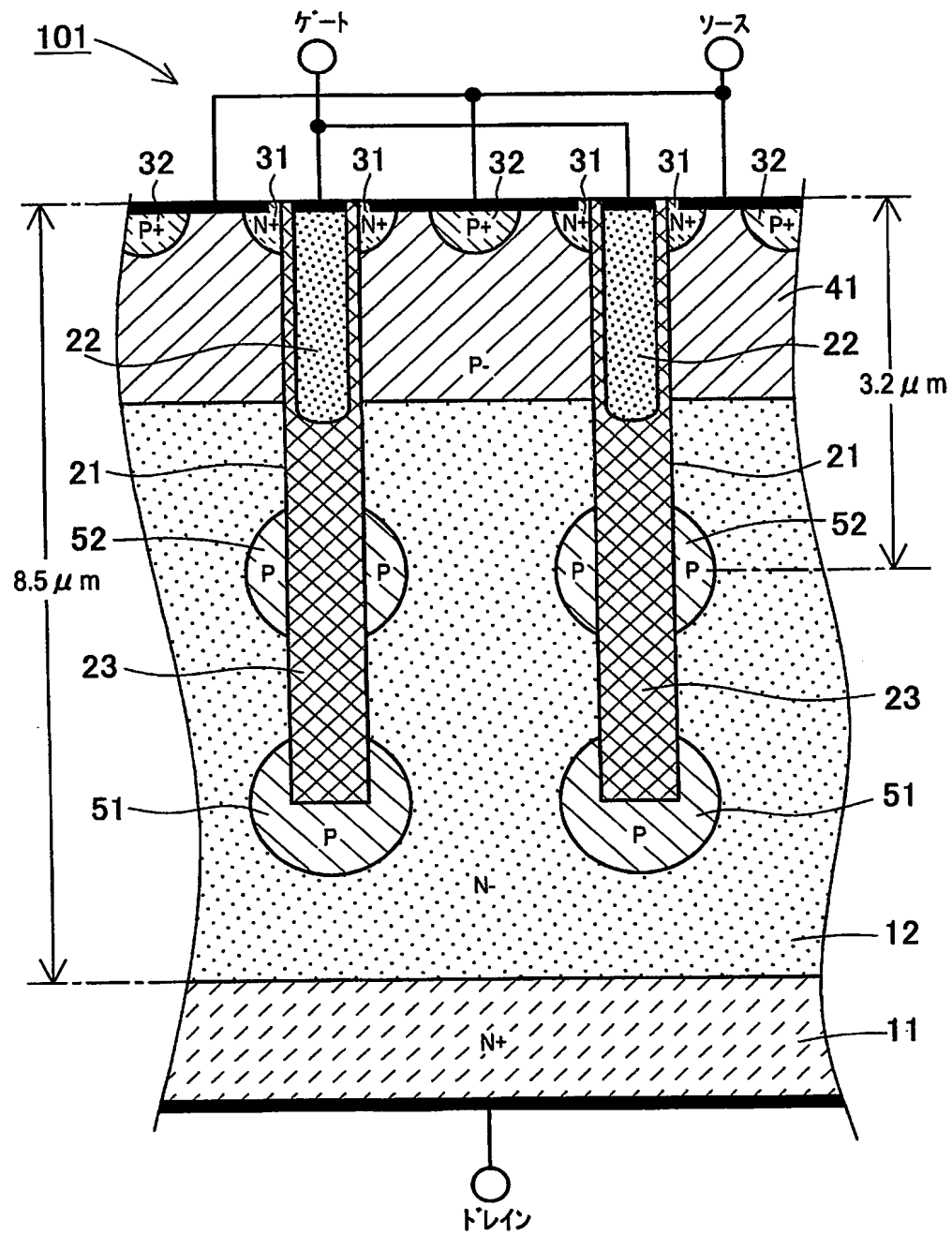
【0088】

- 11 N^+ ドレイン領域
- 12 N^- ドリフト領域（ドリフト領域）
- 21 トレンチ（トレンチ部）
- 22 ゲート電極
- 23 堆積絶縁層
- 24 ゲート絶縁膜
- 25 トレンチ（補助トレンチ部）
- 26 トレンチ（第 2 補助トレンチ部）
- 31 N^+ ソース領域
- 41 P^- ボディ領域（ボディ領域）
- 51 Pフローティング領域（フローティング領域）
- 52 Pフローティング領域（中間フローティング領域）
- 53 Pフローティング領域（終端フローティング領域）
- 54 Pフローティング領域（補助フローティング領域）
- 55 Pフローティング領域（中間補助フローティング領域）
- 56 Pフローティング領域（第 2 補助フローティング領域）
- 62 トレンチ（終端トレンチ部）

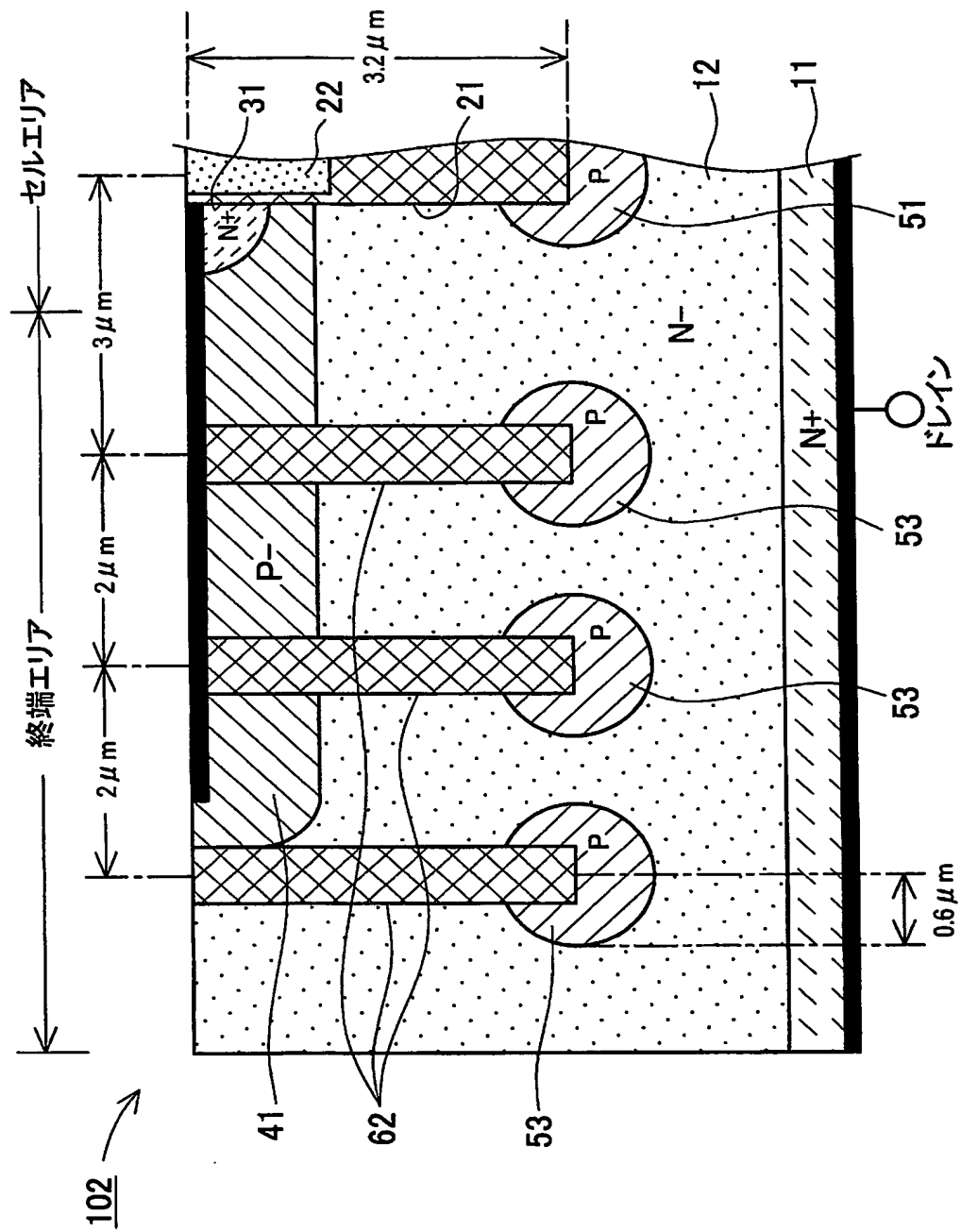
【書類名】 図面
【図 1】



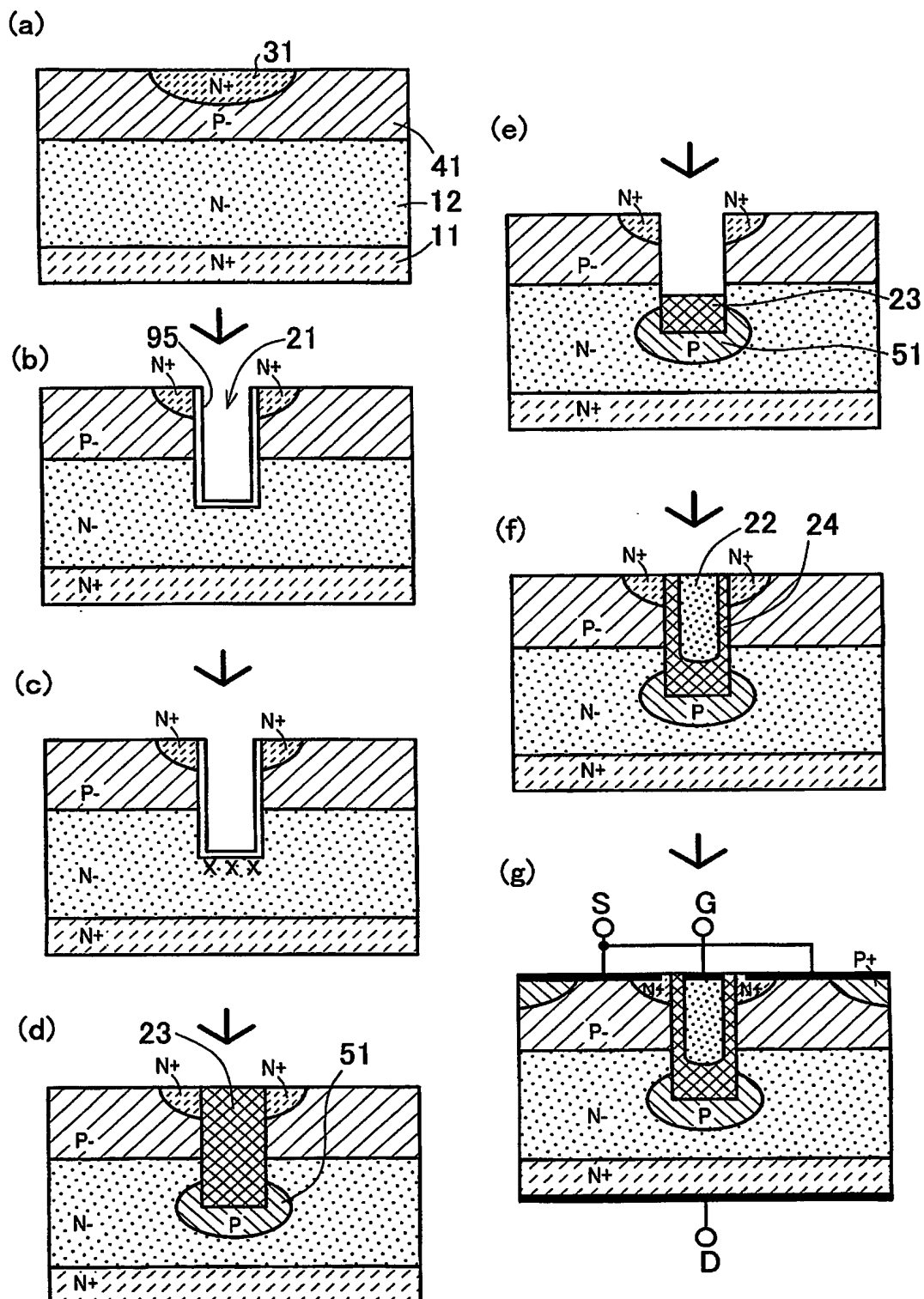
【図 2】



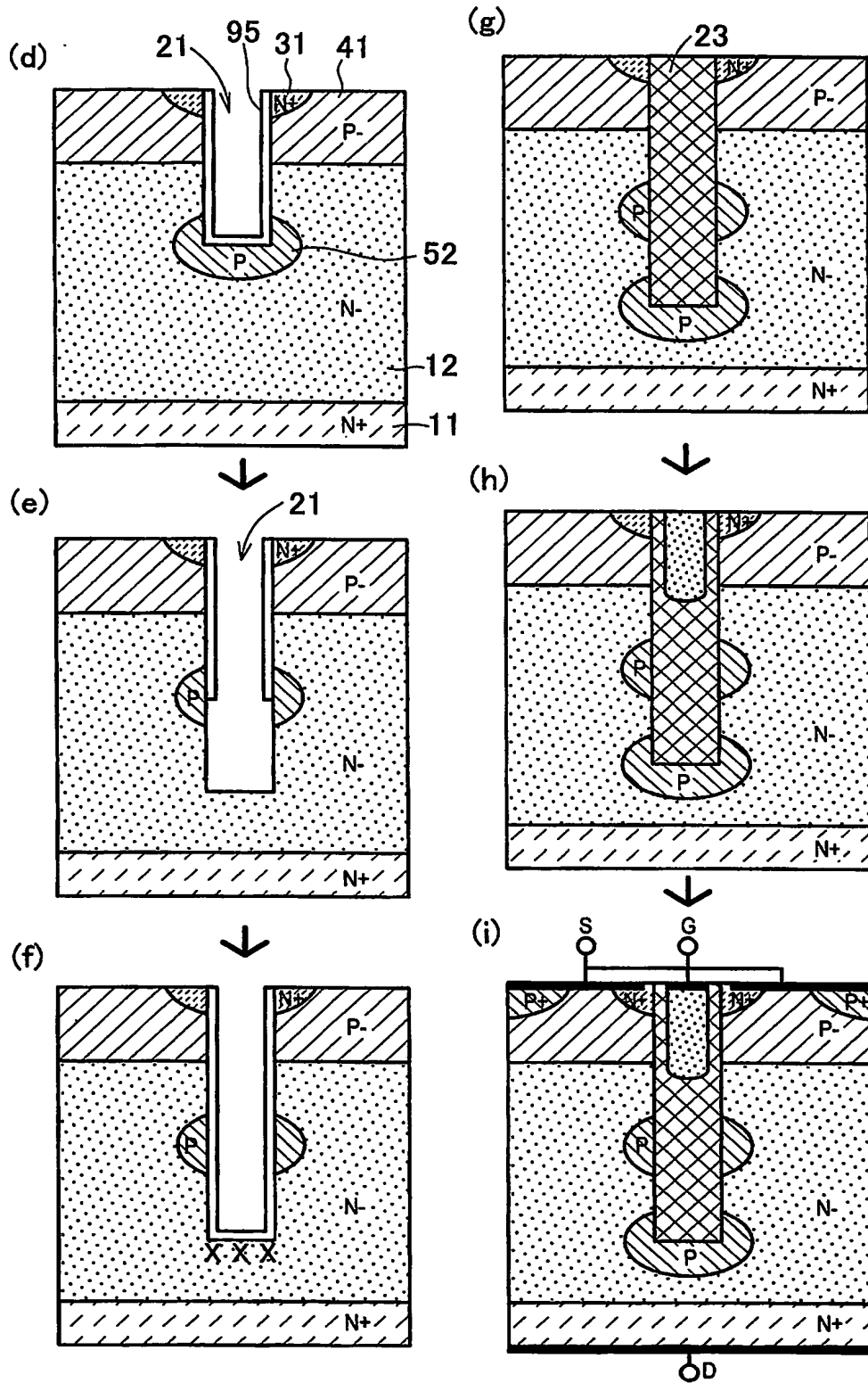
【図 3】



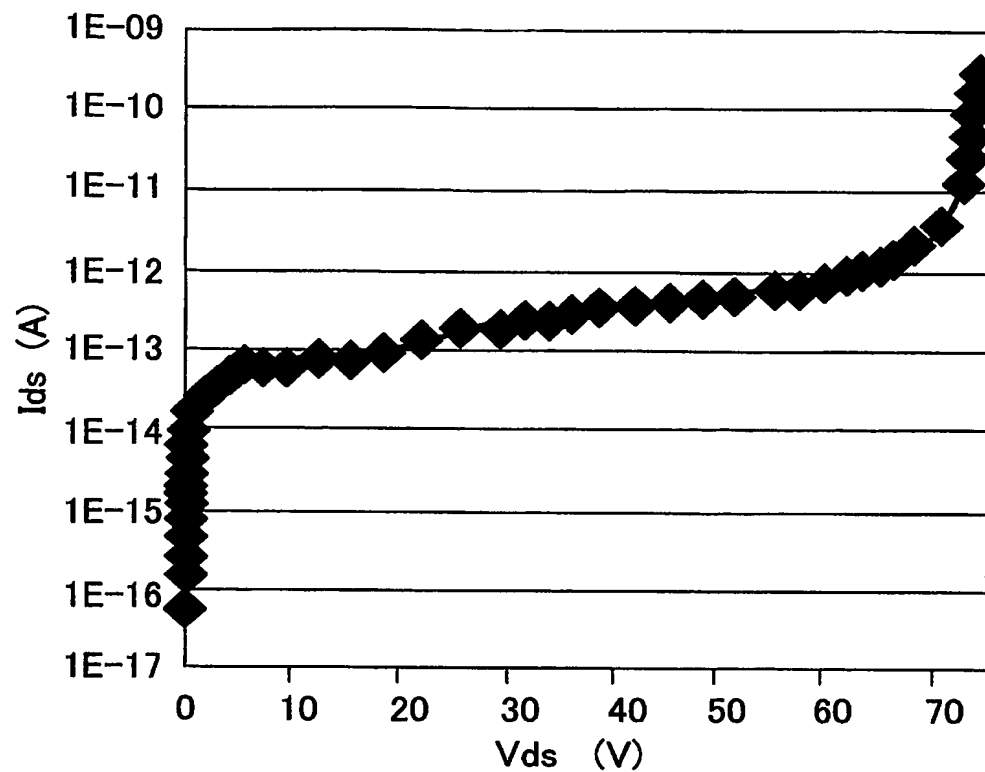
【図 4】



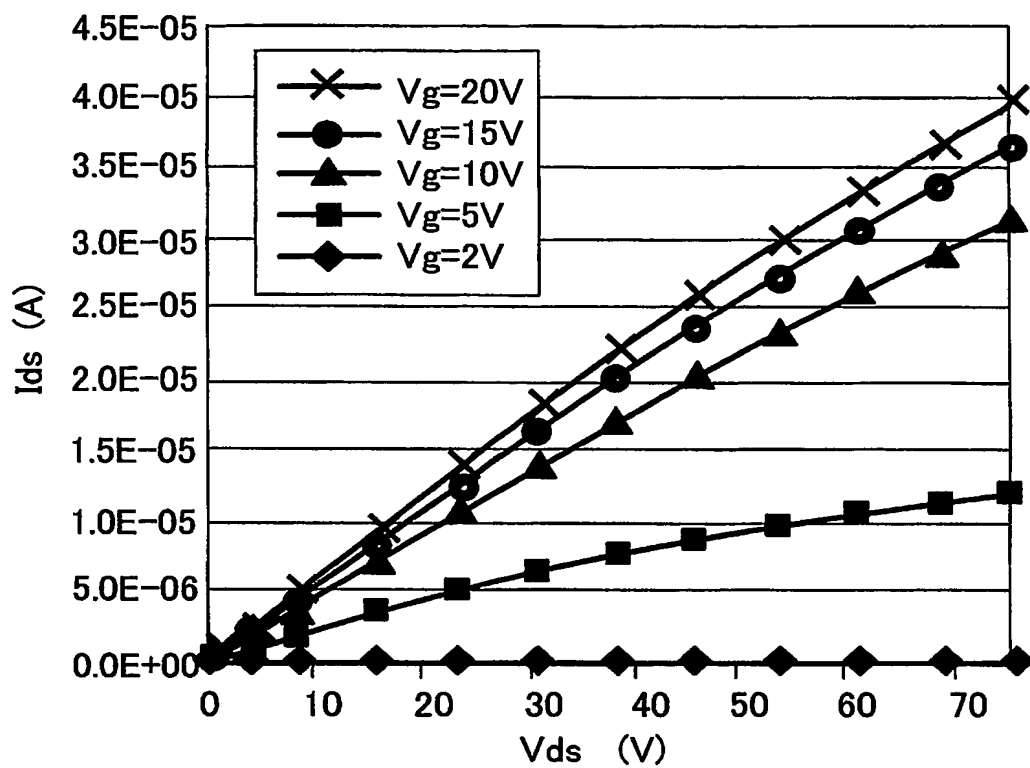
【図 5】



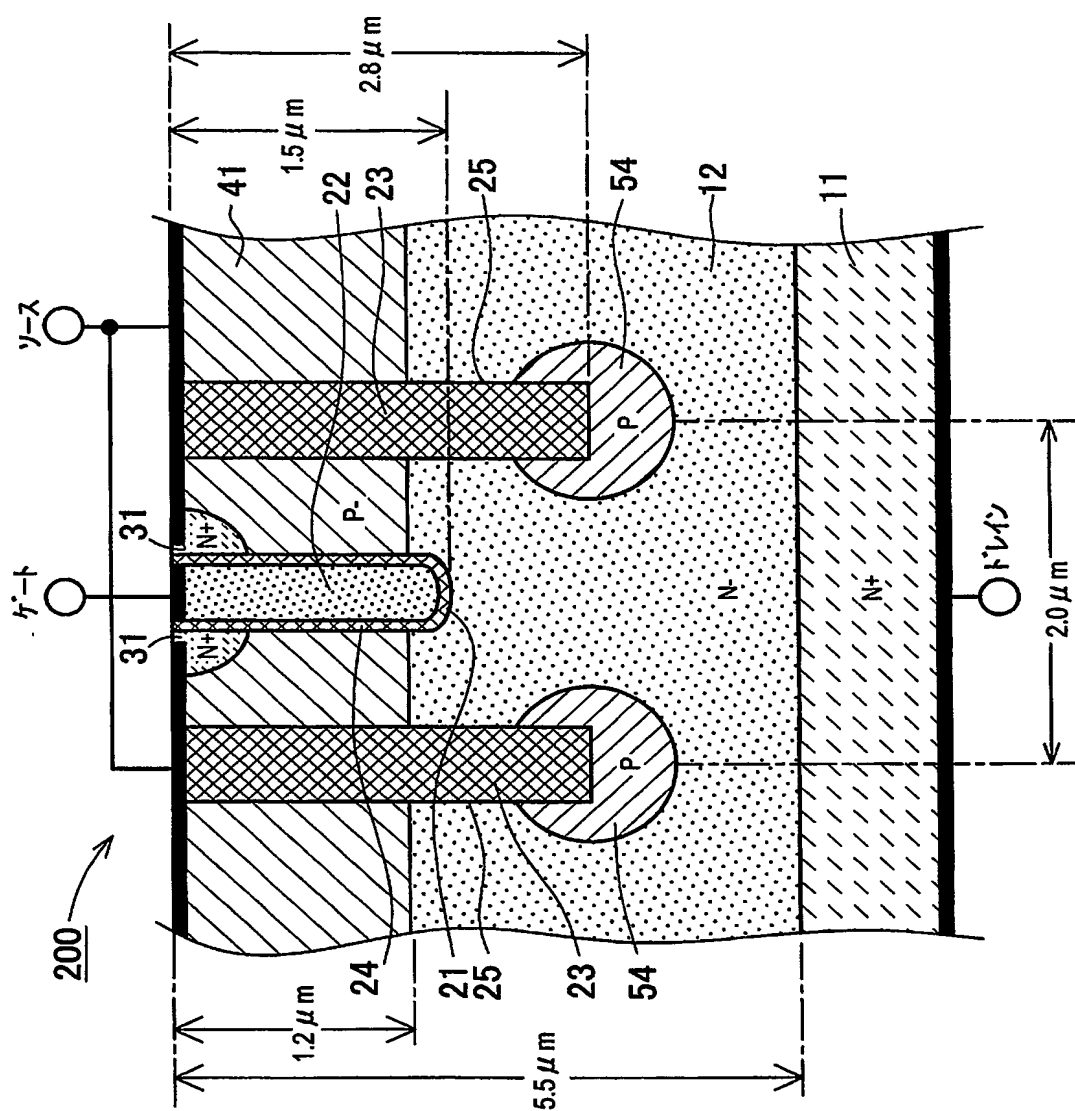
【図 6】



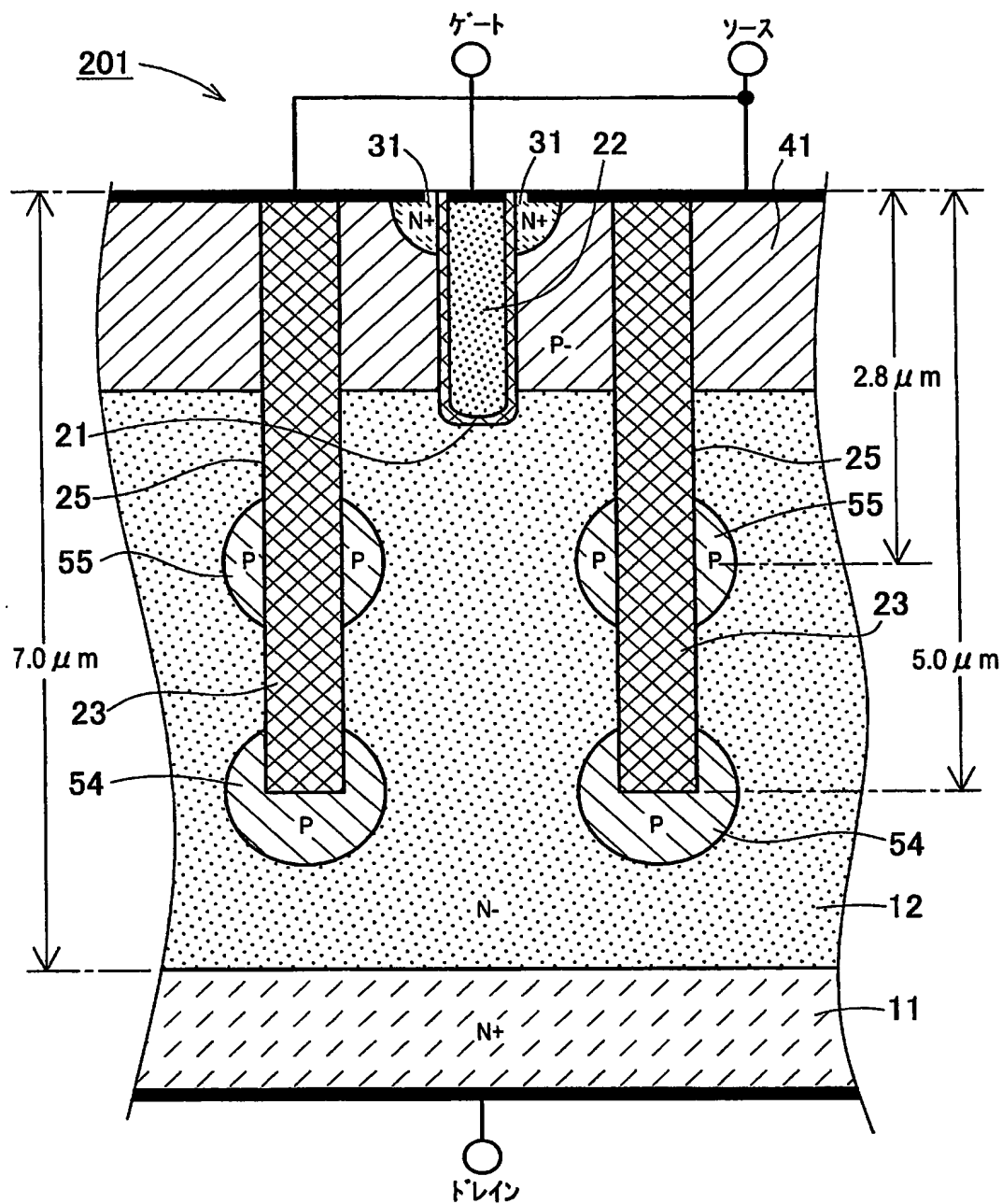
【図 7】



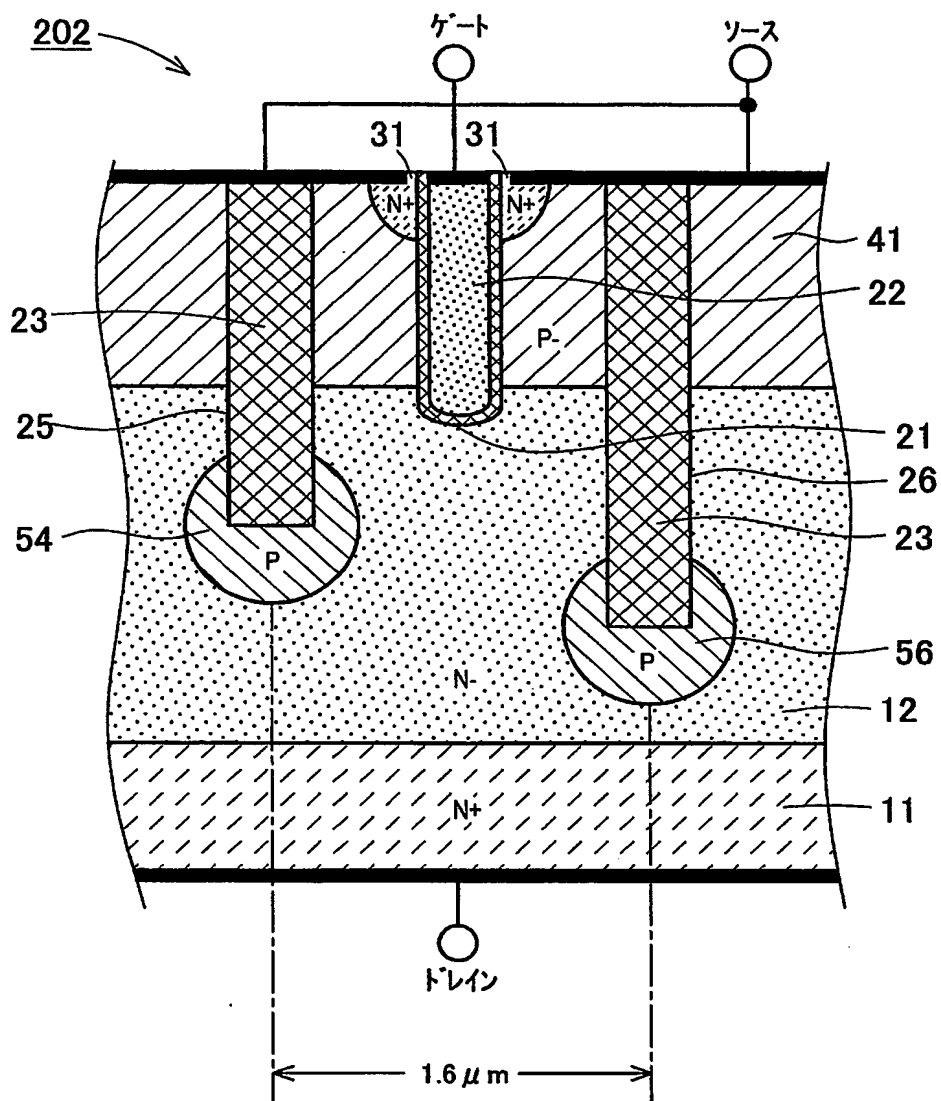
【図 8】



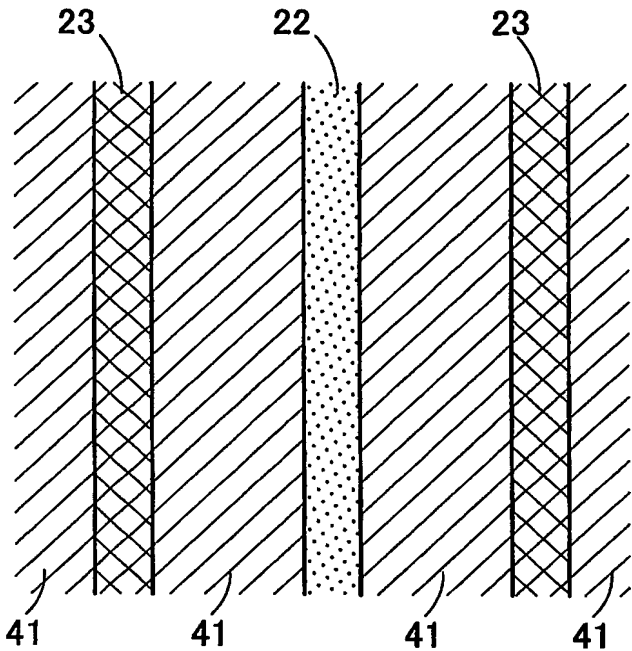
【図 9】



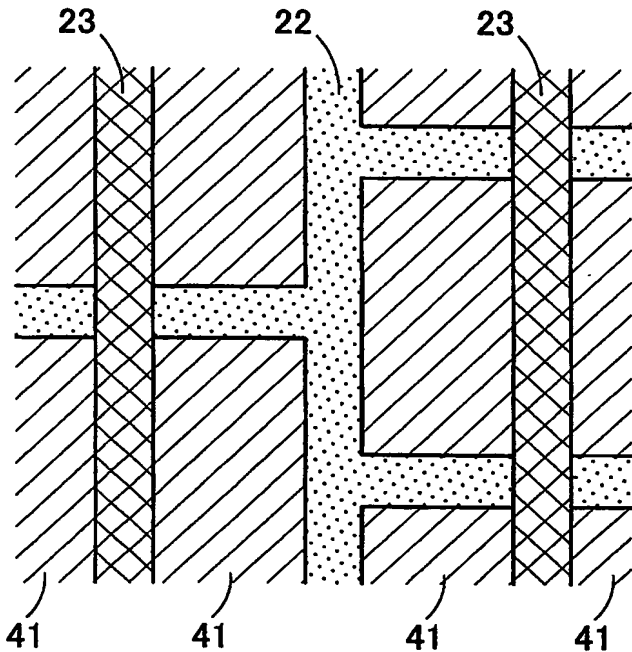
【図 10】



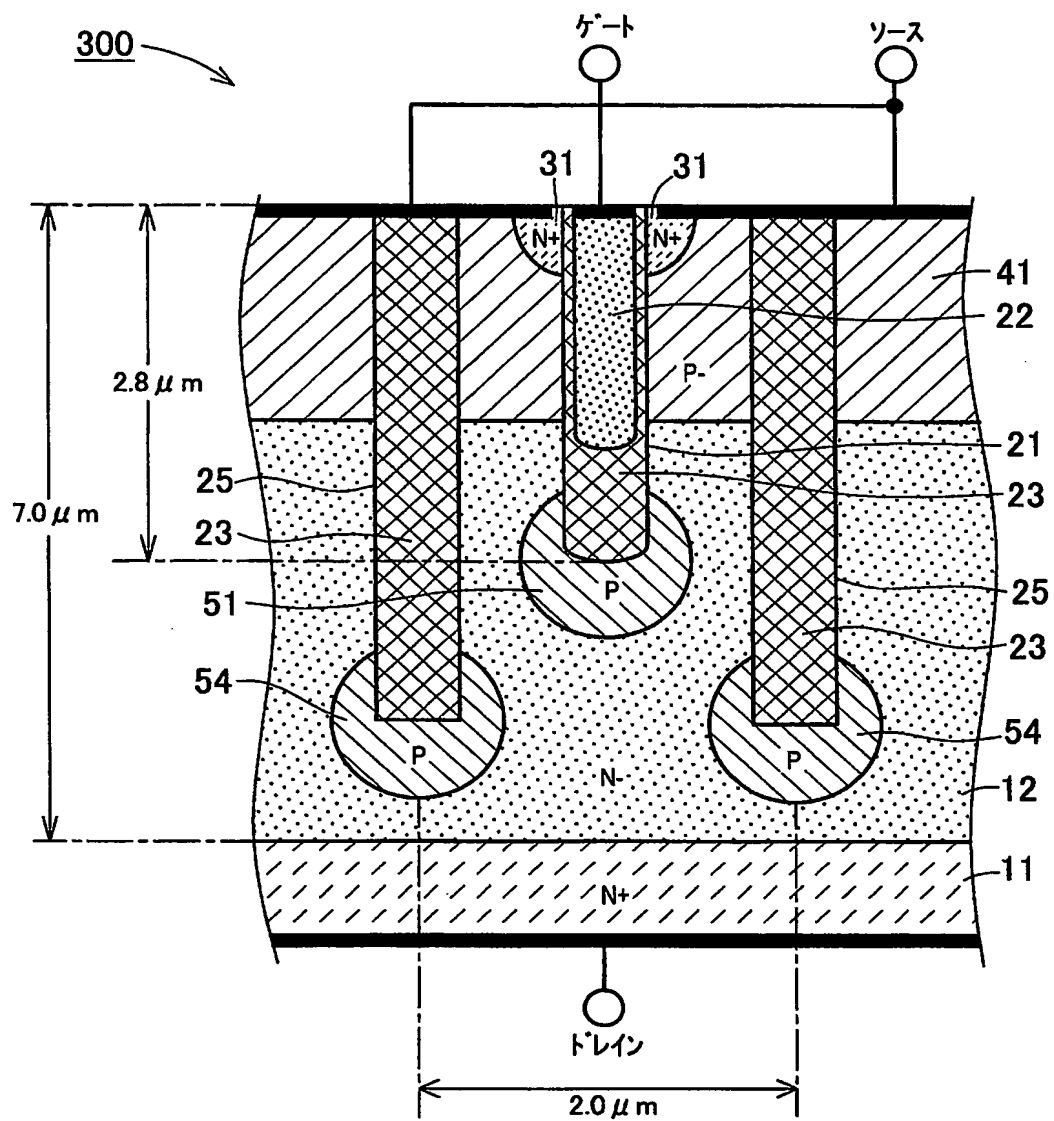
【図 1 1】



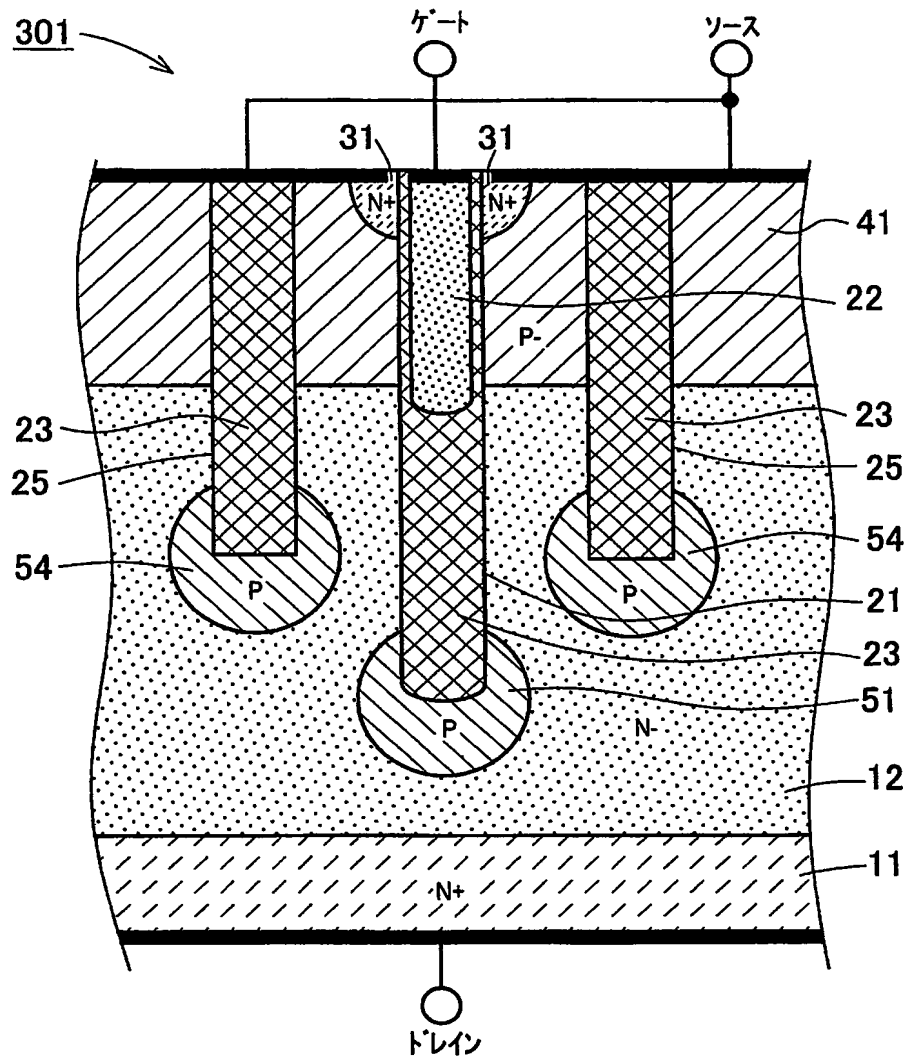
【図 1 2】



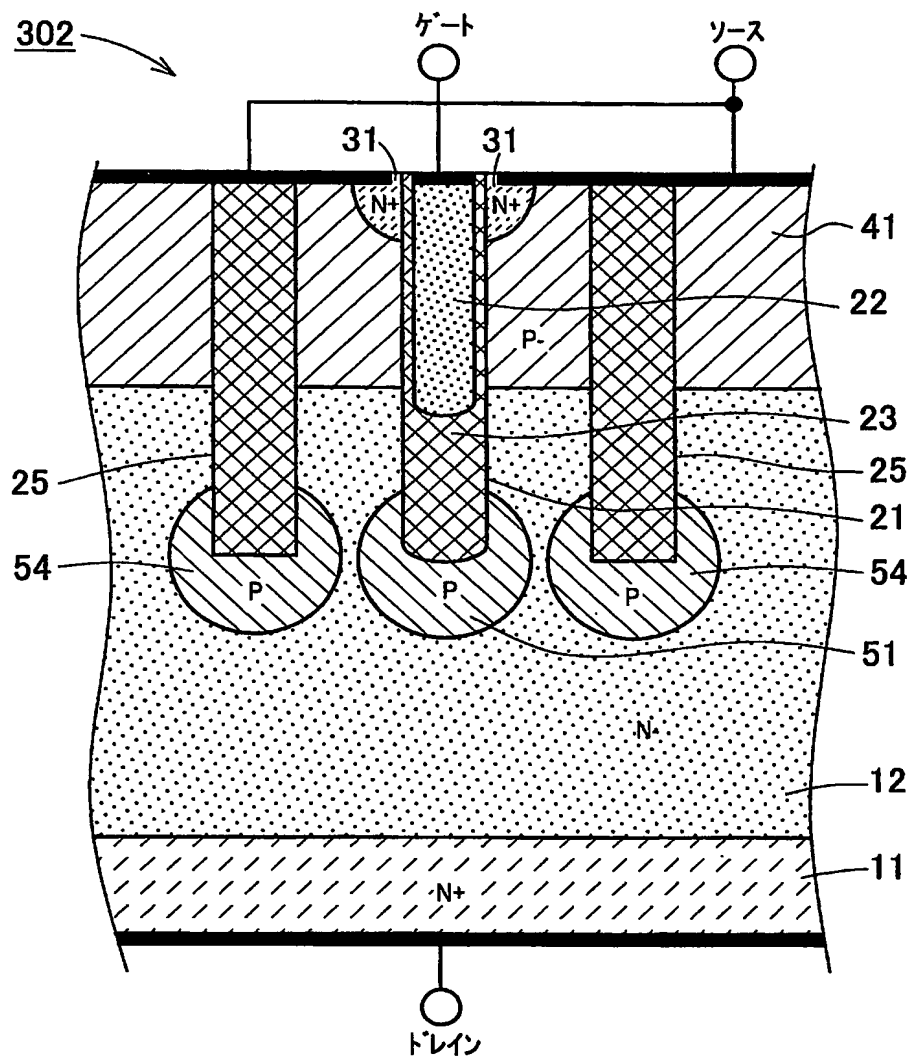
【図 14】



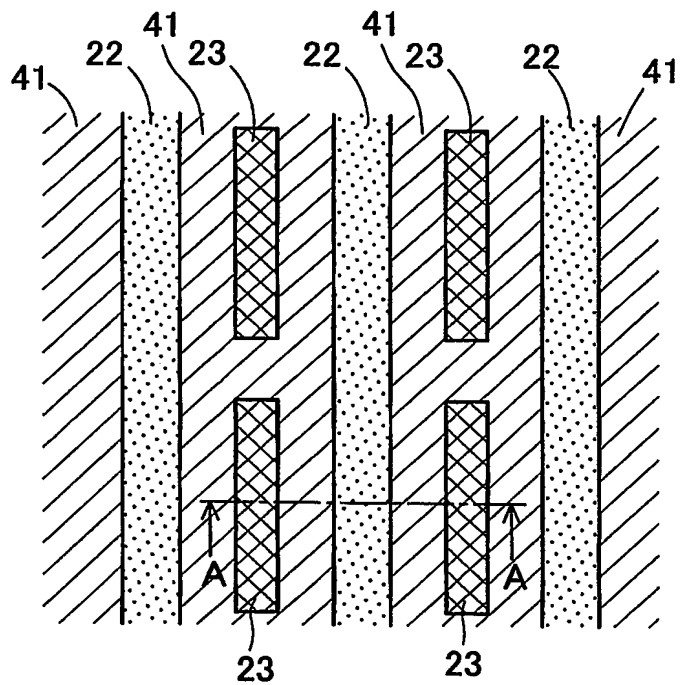
【図 15】



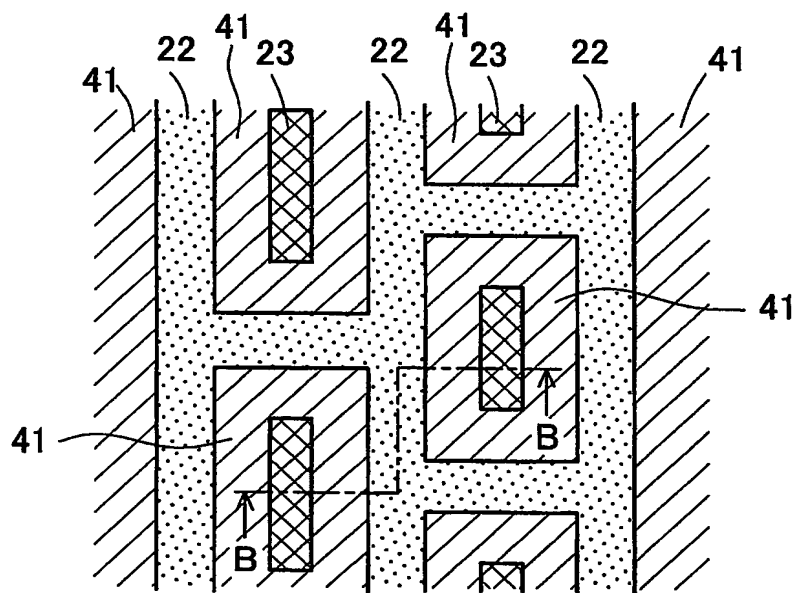
【図 16】



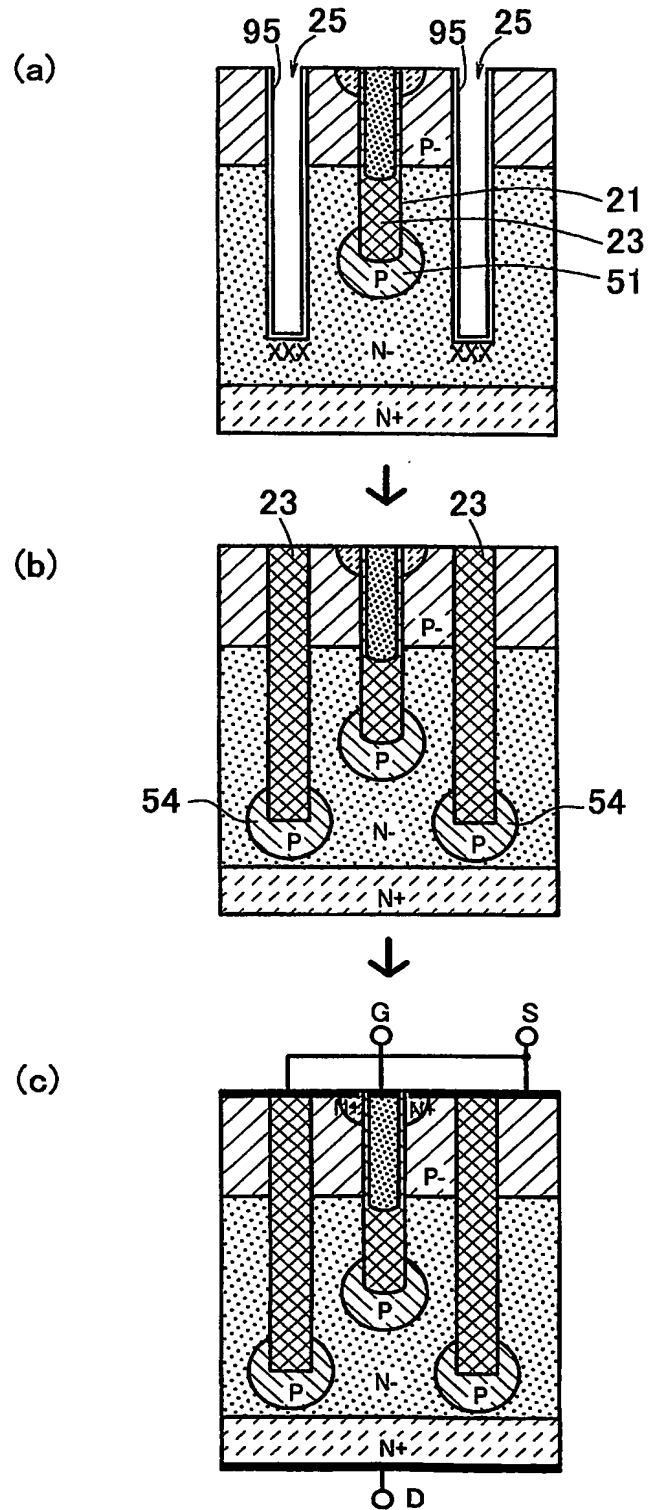
【図 17】



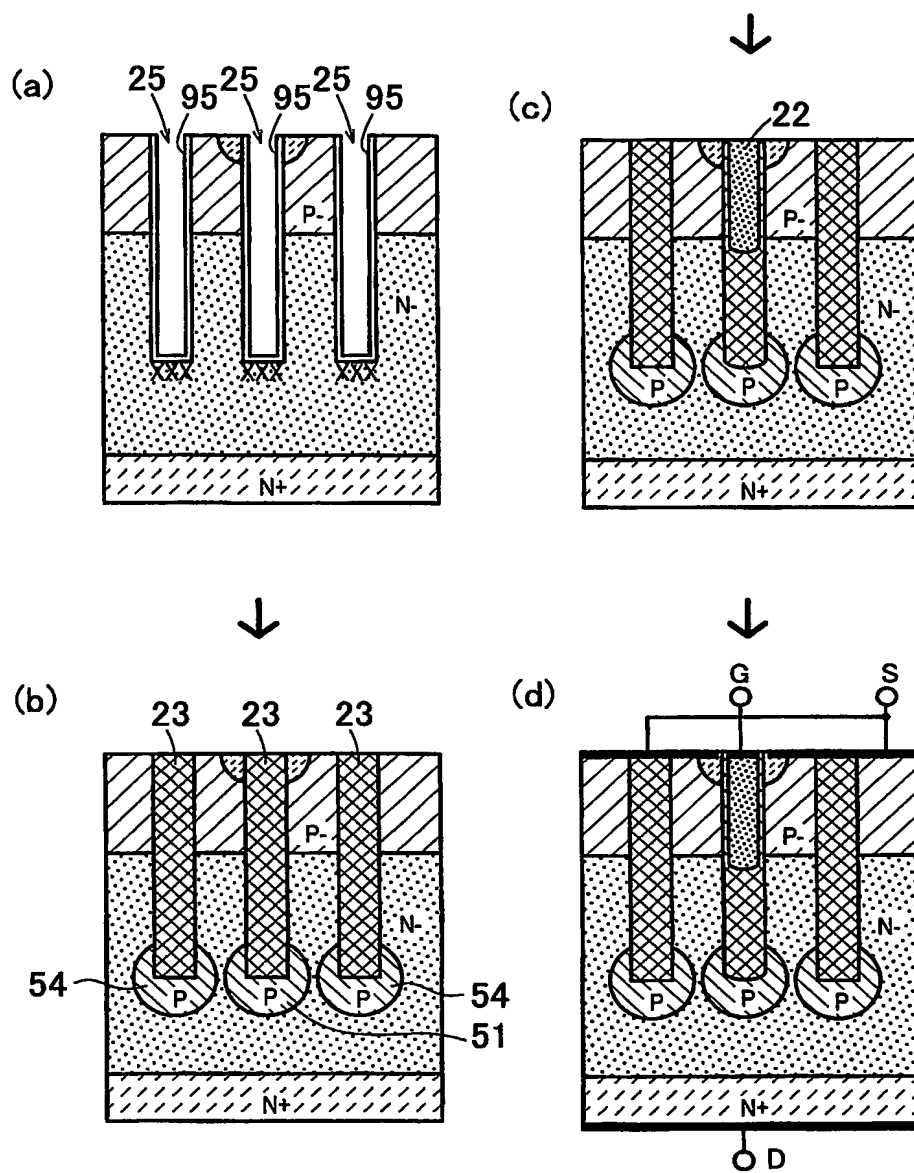
【図 18】



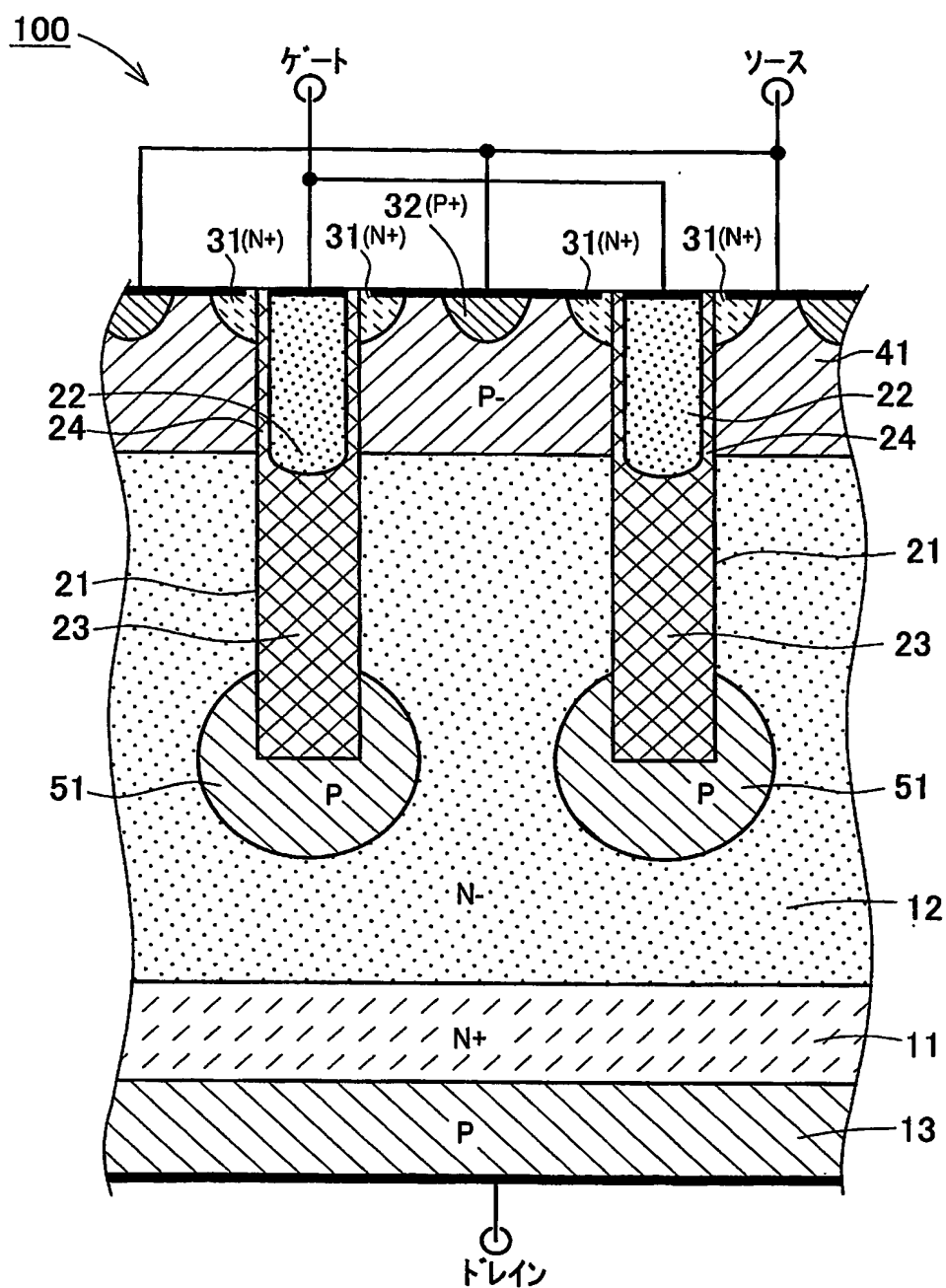
【図 19】



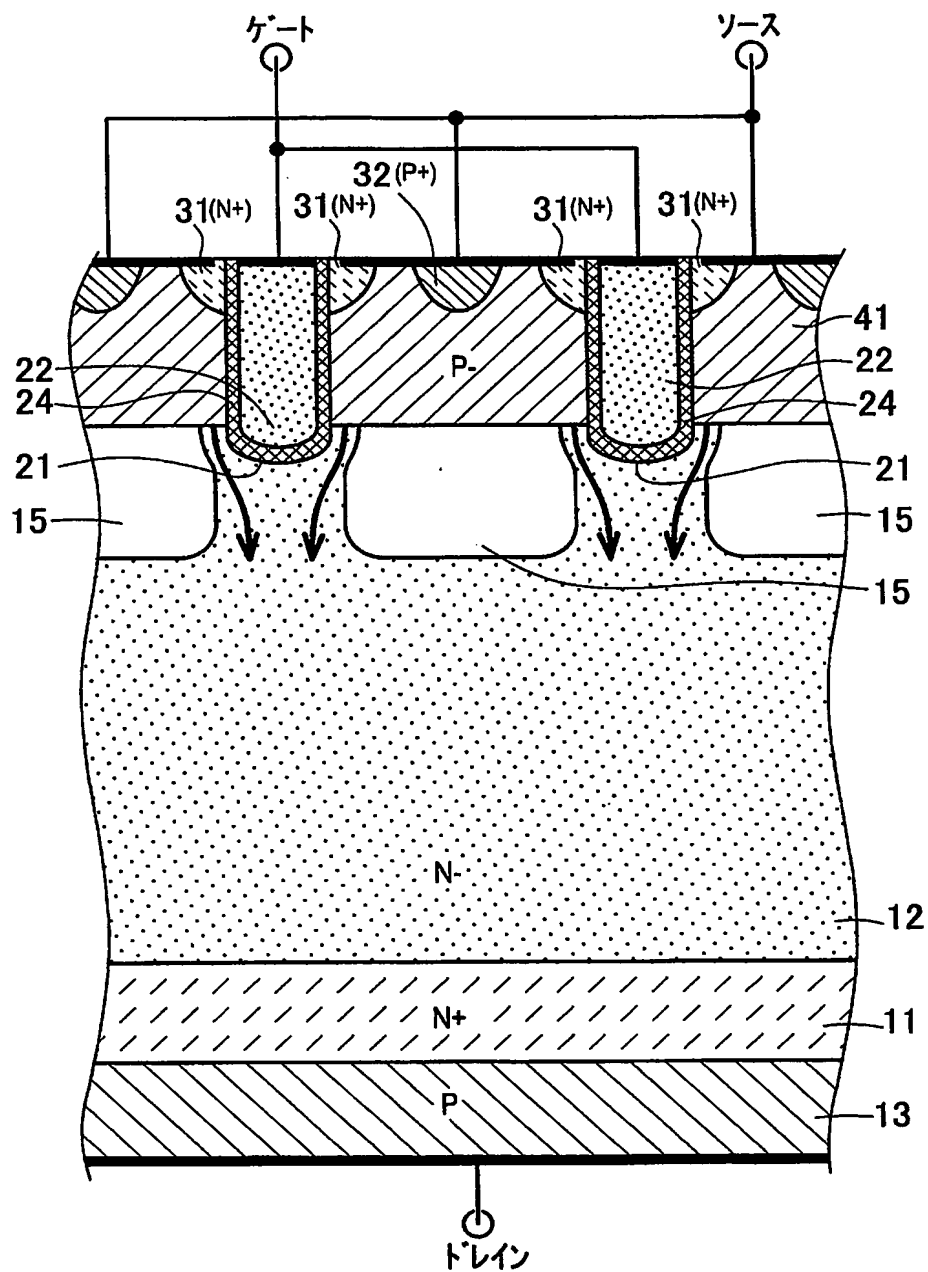
【図 20】



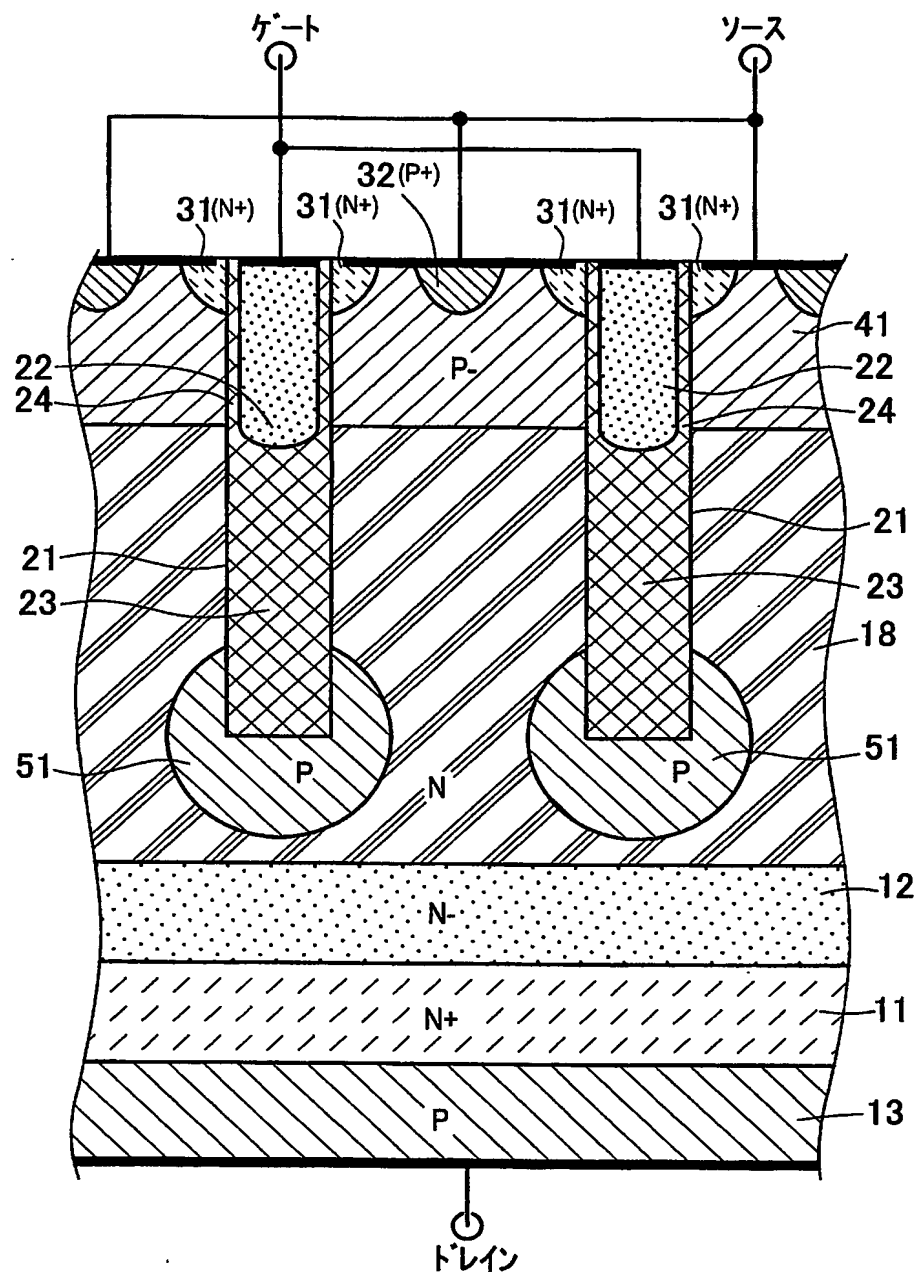
【図 21】



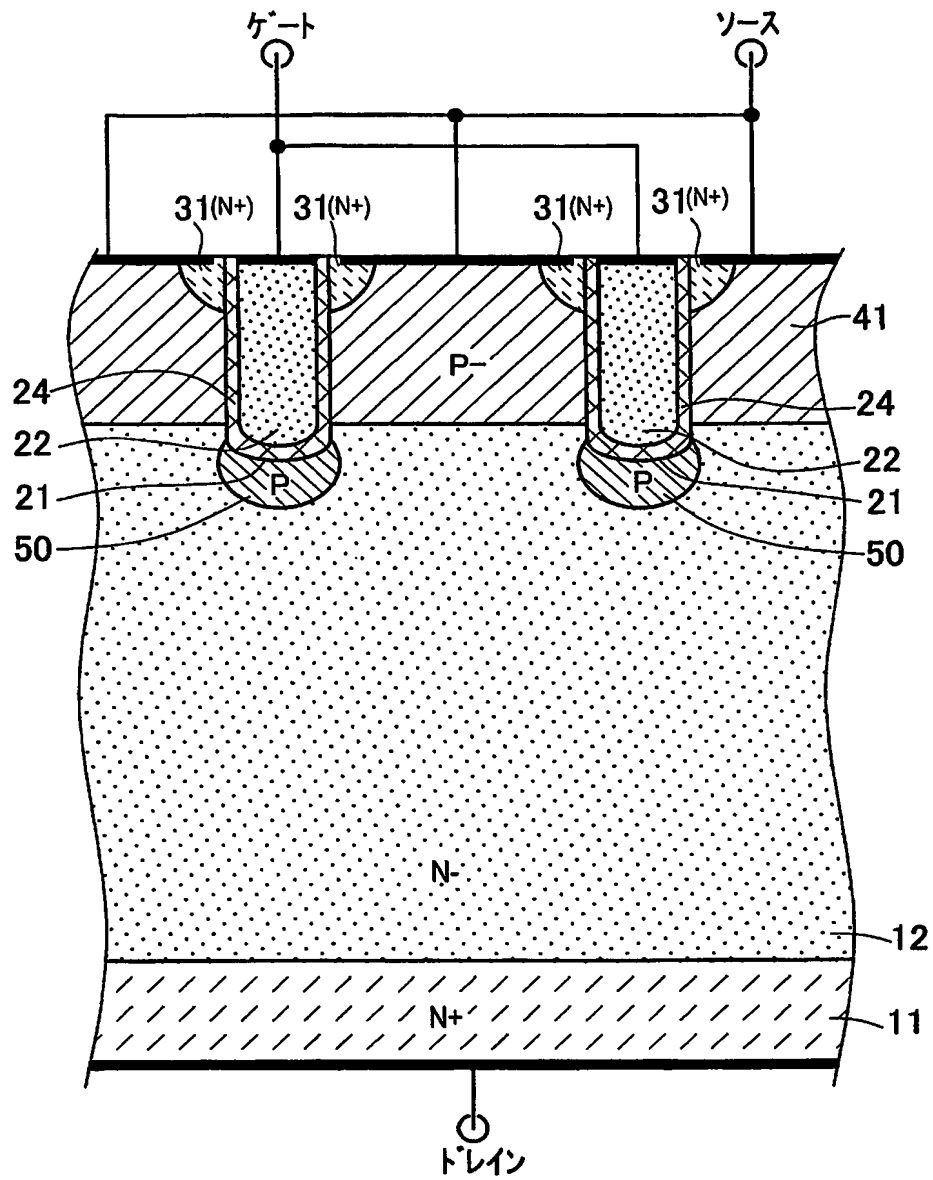
【図 22】



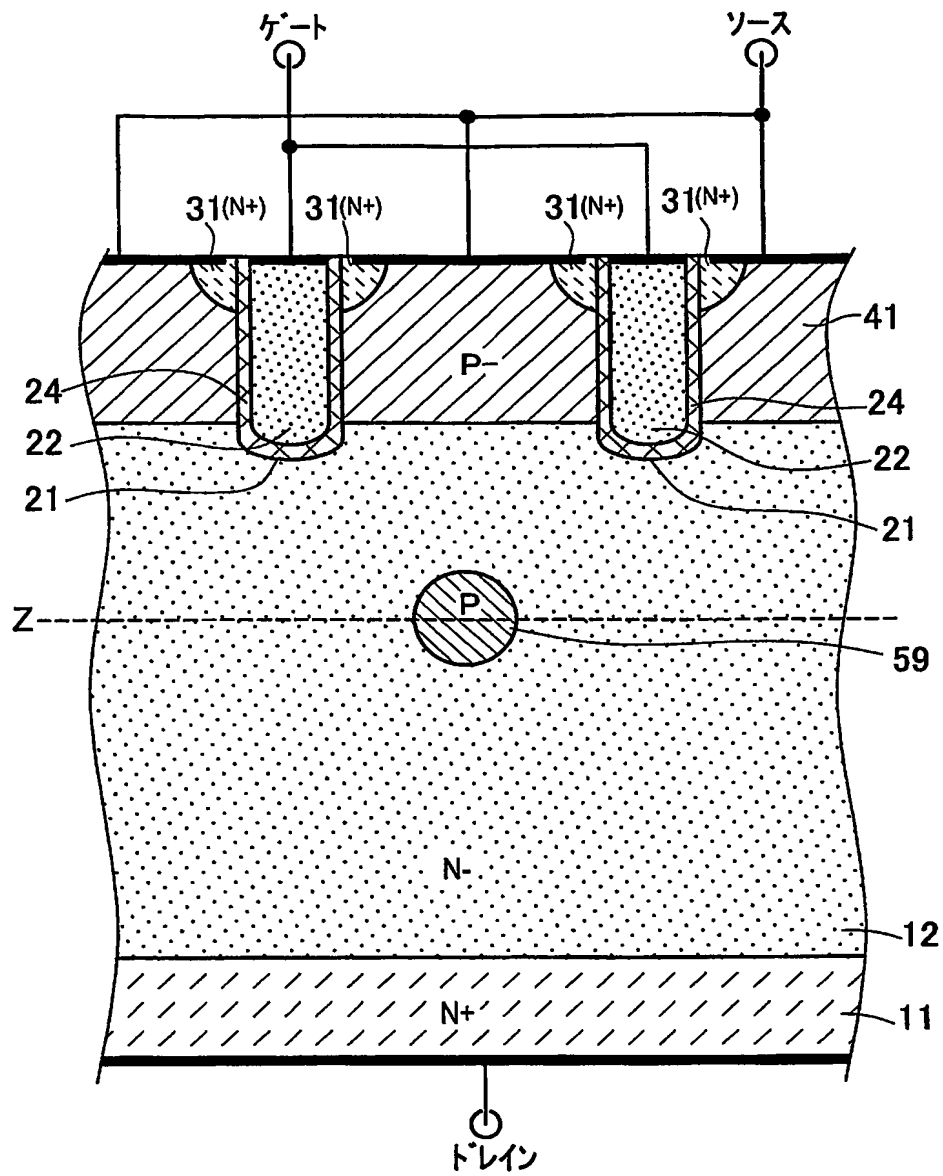
【図 24】



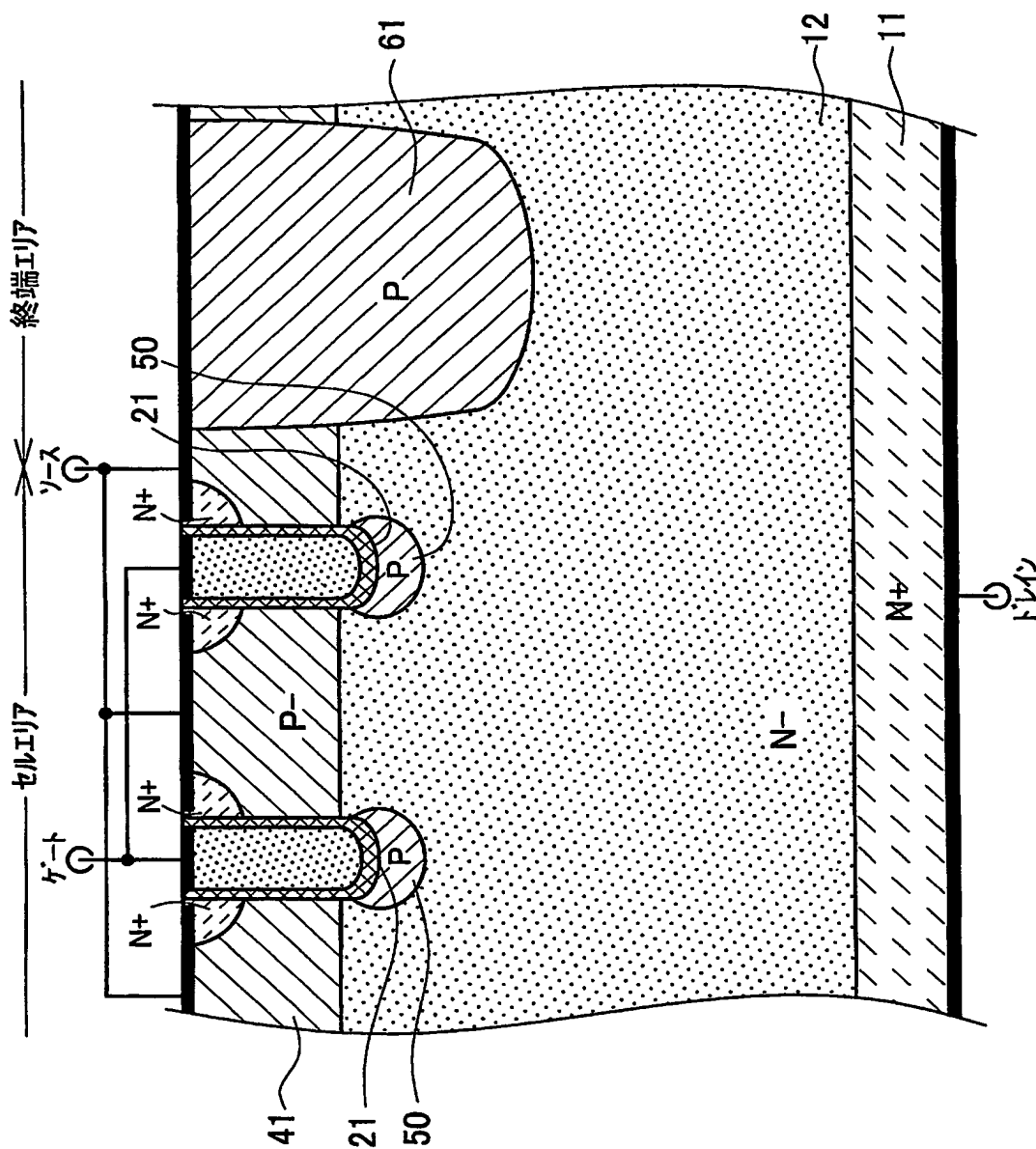
【図 26】



【図 27】



【圖 28】



【書類名】 要約書

【要約】

【課題】 高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供すること。

【解決手段】 半導体装置 300 は、 N^+ ソース領域 31、 N^+ ドレイン領域 11、 P^- ボディ領域 41 および N^- ドリフト領域 12 を備えている。また、半導体装置 300 の上面側の一部を掘り込むことで形成されたトレンチ 21、25 が設けられている。トレンチ 21 には、ゲート電極 22 が内蔵されている。トレンチ 21 とトレンチ 25 とはその深さが異なっている。そして、トレンチ 21 の下方には P フローティング領域 51 が、トレンチ 25 の下方には P フローティング領域 54 がそれぞれ設けられている。

【選択図】

図 14

特願 2 0 0 3 - 3 7 5 0 9 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 2 0 7]

1. 変更年月日	1 9 9 0 年 8 月 2 7 日
[変更理由]	新規登録
住 所	愛知県豊田市トヨタ町 1 番地
氏 名	トヨタ自動車株式会社

特願 2 0 0 3 - 3 7 5 0 9 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー

BEST AVAILABLE COPY